



MINISTÉRIO DA  
CIÊNCIA, TECNOLOGIA  
E INOVAÇÕES



sid.inpe.br/mtc-m21d/2021/06.25.16.06-TDI

## UMA METODOLOGIA PARA SUBSTITUIÇÃO DE COMPONENTES ELETRÔNICOS ESPACIAIS POR COTS COM ESTUDO DE CASO EM PEQUENOS SATÉLITES

Jônatas Campos de Oliveira

Tese de Doutorado do Curso de Pós-Graduação em Engenharia e Tecnologia Espaciais/Engenharia e Gerenciamento de Sistemas Espaciais, orientada pelo Dr. Silvio Manea, aprovada em 09 de abril de 2021.

URL do documento original:

<<http://urlib.net/8JMKD3MGP3W34T/44U4ALL>>

INPE  
São José dos Campos  
2021

**PUBLICADO POR:**

Instituto Nacional de Pesquisas Espaciais - INPE  
Coordenação de Ensino, Pesquisa e Extensão (COEPE)  
Divisão de Biblioteca (DIBIB)  
CEP 12.227-010  
São José dos Campos - SP - Brasil  
Tel.:(012) 3208-6923/7348  
E-mail: pubtc@inpe.br

**CONSELHO DE EDITORAÇÃO E PRESERVAÇÃO DA PRODUÇÃO INTELLECTUAL DO INPE - CEPPII (PORTARIA Nº 176/2018/SEI-INPE):**

**Presidente:**

Dra. Marley Cavalcante de Lima Moscati - Coordenação-Geral de Ciências da Terra (CGCT)

**Membros:**

Dra. Ieda Del Arco Sanches - Conselho de Pós-Graduação (CPG)  
Dr. Evandro Marconi Rocco - Coordenação-Geral de Engenharia, Tecnologia e Ciência Espaciais (CGCE)  
Dr. Rafael Duarte Coelho dos Santos - Coordenação-Geral de Infraestrutura e Pesquisas Aplicadas (CGIP)  
Simone Angélica Del Ducca Barbedo - Divisão de Biblioteca (DIBIB)

**BIBLIOTECA DIGITAL:**

Dr. Gerald Jean Francis Banon  
Clayton Martins Pereira - Divisão de Biblioteca (DIBIB)

**REVISÃO E NORMALIZAÇÃO DOCUMENTÁRIA:**

Simone Angélica Del Ducca Barbedo - Divisão de Biblioteca (DIBIB)  
André Luis Dias Fernandes - Divisão de Biblioteca (DIBIB)

**EDITORAÇÃO ELETRÔNICA:**

Ivone Martins - Divisão de Biblioteca (DIBIB)  
André Luis Dias Fernandes - Divisão de Biblioteca (DIBIB)



MINISTÉRIO DA  
CIÊNCIA, TECNOLOGIA  
E INOVAÇÕES



sid.inpe.br/mtc-m21d/2021/06.25.16.06-TDI

## UMA METODOLOGIA PARA SUBSTITUIÇÃO DE COMPONENTES ELETRÔNICOS ESPACIAIS POR COTS COM ESTUDO DE CASO EM PEQUENOS SATÉLITES

Jônatas Campos de Oliveira

Tese de Doutorado do Curso de Pós-Graduação em Engenharia e Tecnologia Espaciais/Engenharia e Gerenciamento de Sistemas Espaciais, orientada pelo Dr. Silvio Manea, aprovada em 09 de abril de 2021.

URL do documento original:

<<http://urlib.net/8JMKD3MGP3W34T/44U4ALL>>

INPE  
São José dos Campos  
2021

Dados Internacionais de Catalogação na Publicação (CIP)

---

Oliveira, Jônatas Campos.

Ol4m Uma metodologia para substituição de componentes eletrônicos espaciais por COTS com estudo de caso em pequenos satélites / Jônatas Campos de Oliveira. – São José dos Campos : INPE, 2021.

xxvii + 247 p. ; (sid.inpe.br/mtc-m21d/2021/06.25.16.06-TDI)

Tese (Doutorado em Engenharia e Tecnologia Espaciais/Engenharia e Gerenciamento de Sistemas Espaciais) – Instituto Nacional de Pesquisas Espaciais, São José dos Campos, 2021.

Orientador : Dr. Silvio Manea.

1. Qualidade do COTS. 2. Taxa de falha. 3. Pequenos satélites.  
4. Missão de curta duração. 5. Tomada de decisão. I.Título.

CDU 629.78:629.7.07

---



Esta obra foi licenciada sob uma Licença [Creative Commons Atribuição-NãoComercial 3.0 Não Adaptada](https://creativecommons.org/licenses/by-nc/3.0/).

This work is licensed under a [Creative Commons Attribution-NonCommercial 3.0 Unported License](https://creativecommons.org/licenses/by-nc/3.0/).



MINISTÉRIO DA  
CIÊNCIA, TECNOLOGIA  
E INOVAÇÕES



**INSTITUTO NACIONAL DE PESQUISAS ESPACIAIS**  
Serviço de Pós-Graduação - SEPGR

**DEFESA FINAL DE TESE DE JÔNATAS CAMPOS DE OLIVEIRA**  
**BANCA Nº 059/2021, REG 664505/2016**

No dia 09 de abril de 2021, as 14 horas, por teleconferência, o(a) aluno(a) mencionado(a) acima defendeu seu trabalho final (apresentação oral seguida de arguição) perante uma Banca Examinadora, cujos membros estão listados abaixo. O(A) aluno(a) foi APROVADO(A) pela Banca Examinadora, por unanimidade, em cumprimento ao requisito exigido para obtenção do Título de Doutor em Engenharia e Tecnologia Espaciais/Engenharia e Gerenciamento de Sistemas Espaciais. O trabalho precisa da incorporação das correções sugeridas pela Banca Examinadora e revisão final pelo(s) orientador(es).

**Título: “UMA METODOLOGIA PARA SUBSTITUIÇÃO DE COMPONENTES ELETRÔNICOS ESPACIAIS POR COTS COM ESTUDO DE CASO EM PEQUENOS SATÉLITES”**

Eu, Walter Abrahão dos Santos, como Presidente da Banca Examinadora, assino esta ATA em nome de todos os membros, com o consentimento dos mesmos.

Membros da banca:

Dr. Walter Abrahão dos Santos - Presidente - INPE  
Dr. Silvio Manea - Orientador - INPE  
Dra Ana Paula de Sá Santos Rabello - Membro Interno - INPE  
Dr. Edson Alves Ribeiro - Membro Interno - INPE  
Dr. Alírio Cavalcanti Brito - Membro Interno - INPE  
Dr. Saulo Finco - Membro Externo - CTI Renato Archer  
Dr. Renato Camargo Giacomini - Membro Externo - FEI/DEE



Documento assinado eletronicamente por **Walter Abrahão dos Santos, Tecnologista**, em 28/04/2021, às 10:24 (horário oficial de Brasília), com fundamento no art. 6º do [Decreto nº 8.539, de 8 de outubro de 2015](#).



A autenticidade deste documento pode ser conferida no site <http://sei.mctic.gov.br/verifica.html>, informando o código verificador **6980085** e o código CRC **3269A9C2**.



*“A tarefa não é tanto ver aquilo que ninguém viu, mas pensar o que ninguém  
ainda pensou sobre aquilo que todo mundo vê.”*

*(Arthur Schopenhauer).*





*À memória dos meus queridos pai e mãe, amores eternos, minha esposa e filhos, componentes da minha vida, aos quais dedico estas linhas pelo entusiasmo que sempre mantiveram a meu lado nesta jornada sem medir esforços, fonte de inspiração para a execução deste trabalho.*



## **AGRADECIMENTOS**

Gostaria de expressar meus sinceros agradecimentos a todos aqueles que me inspiraram em toda esta jornada, especialmente ao meu orientador Dr. Silvio Manea, juntamente com o Dr. Walter Abrahão, que me ensinaram a ter um pensamento positivo e criativo para realizar esta pesquisa estimulando a minha confiança. Sou eternamente grato pelo suporte, encorajamento e compromisso.

Gostaria de agradecer aos membros da Banca pelas discussões e comentários construtivos, os quais me ajudaram a refinar minha pesquisa e melhorar a minha tese. Em especial ao Dr. Edson Alves Ribeiro, pelo tempo e dedicação examinando a minha tese e colaborando no desenvolvimento dos algoritmos em linguagem C++ apresentado nos apêndices deste trabalho.

Também, agradecer à Dra. Ana e ao Dr. Alírio pelas valiosas sugestões que ajudaram no desenrolar deste trabalho.

Aos colegas de trabalho que me estimularam e acreditaram em mim, como o Lucas, que sempre esteve pronto em me auxiliar nas dúvidas e me dar suporte com materiais para a pesquisa me auxiliando nesta tese.

Enfim, a todos que direta ou indiretamente me ajudaram nesta jornada dando algum tipo de contribuição através de uma palavra de estímulo diante dos percalços e momentos difíceis apresentados ao longo deste percurso.

A todos, os meus mais sinceros agradecimentos.



## RESUMO

A escolha do componente *Commercial Off The Shelf* (COTS) está relacionada à teoria da tomada de decisão. No entanto, os problemas de decisão em muitos casos envolvem incertezas, imprecisões e dados subjetivos. Neste trabalho de tese, lidamos com uma série de desafios no contexto da tomada de decisão e avaliações sob incerteza, onde os dados disponíveis são relativamente poucos e as informações são precárias. Nesse contexto, foi feita uma avaliação inicial da taxa de falha do componente COTS com base no Guia FIDES, considerando os mecanismos de falha física e um fator de complexidade introduzido no cálculo como rigidez, entendendo que é um dos fatores mais importantes no nosso caso, fazendo uma analogia com o método de Karmiol / Bracha no nível de sistema com a complexidade do componente de interesse. Além disso, uma abordagem subjetiva aos dados do COTS do fabricante relacionados aos fatores de qualidade, processo e à tecnologia do componente, utilizando um método hierárquico de análise como complemento ao guia FIDES em algum caso específico. Em seguida, é verificada a consistência desses valores em comparação com o valor da confiabilidade alocada ao módulo / placa de interesse, através do método AGREE e toma-se a decisão de escolher o componente de um fabricante X ou Y buscando o melhor resultado. Somando-se a isso, testes adicionais como ambientais (ciclagem térmica) ou *Burn-in* que devem ser realizados para eliminar componentes defeituosos (falhas prematuras) e inferência da taxa de falha por meio da realização de testes acelerados como HAST para algum componente específico de acordo com a necessidade do projeto. Neste caso, a decisão sobre a escolha do COTS dependerá do balanceamento de três critérios: Custo x Confiabilidade x Risco utilizando-se dos padrões ECSS-Q-ST-60-13C Classe 3 e o guia FIDES como referência. A abordagem feita no estudo de caso é de um satélite pequeno e de curta duração. Considera-se o risco associado às incertezas e imprecisões na modelagem do problema. A ideia expressa no título compreende a substituição de componentes com grau de qualidade espacial por COTS.

Palavras-Chave: Qualidade do COTS. Taxa de Falha. Pequenos Satélites. Missão de curta duração. Tomada de Decisão.



# **A NEW METHODOLOGY FOR CHOICE EEE COTS COMPONENTS WITH CASE STUDY IN PROJECT OF SMALL SATÉLLITE**

## **ABSTRACT**

The choice of the COTS component (Commercial Off The Shelf) is related to the theory of decision making. However, decision problems in many cases involve uncertainties, inaccuracies, and subjective data. In this thesis manuscript, we deal with a series of challenges in the context of decision-making and evaluations under uncertainty, where available data are relatively few and information is poor. In this context, an initial assessment of the failure rate of the COTS component was made based on the FIDES Guide, considering the mechanisms of physical failure and a complexity factor introduced in the calculation as stiffness, understanding that it is one of the most important factors in our case for being considered by making an analogy with the Karmiol / Bracha method at the system level with the complexity of the component of interest. In addition, a subjective approach to the data from the manufacturer COTS related to the factors of quality, process and the technology of the component using a hierarchical method of analysis as a complement to the FIDES guide. Then, the consistency of these values is verified in comparison with the reliability value allocated to the module/board of interest, through the AGREE method and the decision is made to choose the component from an X or Y manufacturer seeking the best result. Added to this, additional tests such as environmental (thermal cycling) or Burn-in that must be performed to eliminate defective components (premature mortality) and inference of the failure rate by performing accelerated tests such as HAST for some specific component according to the project's need. In this case, the decision on the choice of COTS will depend on the optimization of three criteria: Cost x Reliability x Risk using the guidelines ECSS-Q-ST-60-13C Class 3 and FIDES as a parameter. The approach done in the case study is of a small and short-duration satellite. Taking into count the risk associated with the uncertainties and inaccuracies in modeling the problem. The idea expressed in the title includes the replacement of components with a degree spatial quality by COTS.

Key Words: COTS Quality. Failure Rate. Small Satellite. Sort-Term mission. Decision Making.





## LISTA DE FIGURAS

	<u>Pág.</u>
Figura 3.1 - Desenho ilustrativo da diferença entre qualidade e confiabilidade. ... .....	21
Figura 5.1 – Esquema, Fluxograma e Algoritmo. ....	38
Figura 5.2 – Representação gráfica dos requisitos de Integração. ....	46
Figura 5.3 - Curva de confiabilidade de componentes. ....	53
Figura 5.4 - Método FIDES: O que é, e porque é considerado para aplicação espacial. ....	54
Figura 5.5 – Diagrama Hidrotérmico. ....	60
Figura 5.6 - Formulação do método FIDES e comparação com MIL HDBK 217.. .....	63
Figura 5.7 - Fases consideradas do ciclo de vida do componente para cálculo da taxa de falha.....	65
Figura 5.8 - Fluxograma do algoritmo para cálculo da taxa de falha do COTS.66	66
Figura 5.9 - Resistência térmica do componente (R <sub>ja</sub> ). ....	74
Figura 5.10 – Método de avaliação para cálculo da resistência térmica (R <sub>JA</sub> ). ... .....	75
Figura 5.11 - Fator de fabricação do componente.....	82
Figura 5.12 - Fator de qualidade do componente.....	83
Figura 6.1 - Métrica de complexidade de sistema estrutural. ....	88
Figura 6.2 – Ex.: Símbolos esquemáticos dos semicondutores CRS06 (TE85L, Q, M). ....	90
Figura 6.3 – Símbolo esquemático de um contador binário. ....	91
Figura 6.4 – Ex.: Diagrama Lógico de um contador binário. ....	91
Figura 6.5 – Símbolo esquemático de um conversor A/D. ....	92
Figura 6.6 – Ex.: Diagrama funcional do Conversor A/D.....	93
Figura 6.7 - Circuito tensão de referência (12 elementos discretos). ....	94
Figura 6.8 - Conversor A/D (22 elementos discretos). ....	94
Figura 6.9 - Shift Register (120 elementos discretos). ....	94
Figura 6.10 – Flip Flop tipo D (18 elementos discretos). ....	95

Figura 6.11 - Porta Nand (5 elementos discretos).....	95
Figura 6.12 - Gerador de Clock (62 elementos discretos).....	95
Figura 6.13 - MUX I/O 8 (185 elementos discretos). ....	96
Figura 6.14 - Porta TTL Inversor (10 elementos discretos). ....	96
Figura 6.15 - Porta AND ou NAND (8 elementos discretos).....	96
Figura 6.16 - Porta NOR ou OR (11 elementos discretos).....	97
Figura 6.17 - TTL Controle Lógico (13 elementos discretos).....	97
Figura 6.18 – Ex.: Diagrama de blocos do Conversor DC/DC (LM2731). ....	98
Figura 6.19 - PWM Gerador de Rampa (48 elementos discretos).....	99
Figura 6.20 - O CI 555 é um dos mais populares e versáteis circuitos integrados já produzidos. Ele é composto por 23 transistores, 2 diodos e 16 resistores. ...	99
Figura 6.21 - Esquema elétrico de um amplificador diferencial (5 elementos discretos).....	100
Figura 6.22 - Somador binário 4 bit. ....	100
Figura 6.23 - Circuito Comparador (6 elementos discretos).....	101
Figura 6.24 - PWM (36 elementos discretos). ....	101
Figura 6.25 - Circuito oscilador (8 elementos discretos). ....	102
Figura 6.26 – Flip-Flop RS (42 elementos discretos). ....	102
Figura 6.27 - Circuito Shutdown (6 elementos discretos).....	103
Figura 6.28 - Circuito Limitador de corrente (5 elementos discretos).....	103
Figura 6.29 - Circuito Driver (16 elementos discretos). ....	104
Figura 6.30 - Thermal Shutdown circuit (10 elementos discretos).....	104
Figura 6.31 - Regulador de Voltagem (LT 3021). ....	105
Figura 6.32 - Diagrama esquemático. ....	105
Figura 6.33 - Amplificador operacional (discreto).....	106
Figura 8.1 - Característica da taxa da falha.....	117
Figura 8.2 - Solução gráfica para a duração do <i>burn-in</i> . ....	120
Figura 8.3 - Tipos de <i>Screen</i> ESS.....	121
Figura 8.4 - Perfil de temperatura representativo para testes de ciclagem térmica (JESD-22 A104E). ....	122
Figura 8.5 - Noção de custo/cronograma e seus impactos desenvolvendo testes ao nível de Componentes, Cartões (PCA) e Caixas. ....	125

Figura 8.6 - Noção de capacidade de detectar defeitos em componentes e interação entre componentes quando desenvolvendo teste ao nível de componentes, PCA e Caixa. ....	126
Figura 8.7 – Custo do Sistema em função da Complexidade. ....	128
Figura 8.8 - Modelo da estrutura AHP para escolha do COTS.....	132
Figura 8.9 - Participante 1 .....	133
Figura 8.10 - Participante 2. ....	134
Figura 8.11 - Resultado do ranking – SW AHP. ....	135
Figura 9.1 - Metodologia de Escolha do COTS .....	138
Figura 9.2 - Fluxograma de Escolha do COTS.....	139
Figura 9.3 – Tempo de vida <i>versus</i> Temperatura de junção com a redução da velocidade do clock, benefício para o prolongamento de vida do componente. ...	146
Figura 9.4 – Tempo de vida <i>versus</i> temperatura de junção com a diminuição exponencial da confiabilidade das ligações internas do <i>die</i> . ....	147
Figura 9.5 – Modelo de escolha de COTS (AHP).....	155
Figura 9.6 – <i>Datasheet</i> Conversor DC/DC (LM2731 – Texas Instruments)....	156
Figura 9.7 - Resultado dos critérios elencados de acordo com a ferramenta AHP.....	157
Figura 9.8 – Custo da qualidade. ....	160
Figura A.1 – Algoritmo da Taxa de Falha COTS Guia FIDES (Linguagem: C++)	173



## LISTA DE TABELAS

	<u>Pág.</u>
Tabela 1.1 Motivação, Literatura e Conhecimento buscado. ....	2
Tabela 2.1 - Classificação de Satélites. ....	8
Tabela 3.1 - Classes de Componentes. ....	17
Tabela 3.2 – Classificação de missões e padronização formal e informal. ....	19
Tabela 3.3 - Tipos de componentes para tipos de missões. ....	20
Tabela 4.1 - <i>Derating</i> de parâmetros para diodos (chaveamento de sinal, retificador incluindo Shottky). ....	30
Tabela 4.2 - <i>Derating</i> de parâmetros para famílias lógicas. ....	30
Tabela 4.3 - <i>Derating</i> de parâmetros para famílias circuitos integrados lineares. ....	31
Tabela 5.1 - Atribuição de confiabilidade alocada. ....	44
Tabela 5.2 - Consequência da severidade. ....	48
Tabela 5.3 – Exemplo de níveis de probabilidade e limites (PN). ....	49
Tabela 5.4 – Matriz de criticidade. ....	49
Tabela 5.5 – Análise do conversor DC/DC – FMECA. ....	49
Tabela 5.6 - Importância relativa da taxa de falha dos componentes da placa de Potência (1/2). ....	51
Tabela 5.7 - Fase 1 perfil de vida do componente. ....	67
Tabela 5.8 - Fase 2 - perfil de vida do componente. ....	68
Tabela 5.9 - Fase 3 - perfil de vida do componente. ....	69
Tabela 5.10 - Fase 4 - perfil de vida do componente. ....	71
Tabela 5.11 - Questionário para marcação de peso (Peso x Nota). ....	78
Tabela 5.12 - Questionário para marcação de peso (continuação). ....	78
Tabela 5.13 - Questionário de peso. ....	80
Tabela 5.14 - Questionário de peso(cont.). ....	80
Tabela 5.15 - Fator de qualidade do fabricante. ....	82
Tabela 5.16 - Fator de qualidade do componente. ....	83
Tabela 5.17 - Fator de confiabilidade do componente Circuito Integrado. ....	84
Tabela 5.18 - Fator de confiabilidade do componente Semicondutor discreto. ....	85

Tabela 5.19 - Fator de experiência do vendedor.....	86
Tabela 7.1 - Testes e <i>Screening</i> para COTS. ....	109
Tabela 7.2 - Visão atual aplicável aos componentes ativos EEE. ....	113
Tabela 7.3 - Testes previstos para COTS. ....	114
Tabela 8.1 - Testes a serem executados (colunas com setas) para seleção de Circuito Integrado COTS. ....	122
Tabela 8.2 - Temperatura, Umidade relativa e Duração (JESD-22 A110E)...	123
Tabela 8.3 - Considerações para pequenos satélites (Confiabilidade x Custo x Risco). ....	127
Tabela 9.1 - Componentes COTS analisados segundo guia FIDES e os parâmetros de interesse.....	143
Tabela 9.2 - Efeitos do fator térmico e frequência de chaveamento .....	147
Tabela 9.3 – Nota do processo do fabricante.....	150

## LISTA DE SIGLAS E ABREVIATURAS

AEB	Agência Espacial Brasileira
AHP	Analytic Hierarchy Process
AQEC	Aerospace Qualified Electronic Component
CBERS	China Brazil Earth Resources Satellite
CITAR	Circuitos Integrados Tolerantes a Radiações
IC	Integrated Circuit
COTS	Commercial Off The Shelf
CUBESAT	Cube Satellite
DOA	Dead On Arrival
DCL	Declared Components List
DM	Decision Maker
DPA	Destructive Physical Analysis
EEE	Electrical, Electronic and Electromechanical
ESD	Electrostatic Discharge
ECSS	European Cooperation for Space Standardization
ESA	European Space Agency
EDAC	Error Detection and Correction
FINEP	Financiadora de Estudos e Projetos
FMECA	Failure Mode and Critical Analysis
FIT	Failure in Time
FR-4	Flame Retardant grade – type 4
GSFC	Goddard Space Flight Center
HALT	Highly Accelerated Life Testing
HAST	Highly Accelerated Stress Test

IEC	Institute Engineering Component
INPE	Instituto Nacional de Pesquisas Espaciais
ITAR	International Traffic in Arms Regulations (ITAR)
JAN	Joint Army-Navy
JANS	Joint Army-Navy Space
JANTX	Joint Army-Navy Technical Exchange
JAXA	Japan Aerospace Exploration Agency
JPL	Jet Propulsion Laboratory
LEO	Low Earth Orbit
LIT	Laboratório de Integração e Testes
MEAL	Mission, Environmental, Application and Life
MQ	Modelo de Qualificação
MFCS	Marshall Space Flight Center
MTOL	Multiple Temperature Operational Life
MTTF	Mean Time to Failure
NASA	National Aeronautics and Space Administration
NEPP	NASA Electronic and Parts Packaging
NESC	NASA Engineering and Safety Center
NSPAR	Non-Standard Parts Application Request
PEM	Plastic Encapsulated Microcircuit
PCA	Printed Circuit Assembly
PCB	Parts Control Board or Printed Circuit Board
PN	Part Number or Probability Number
PIND	Particle Impact Noise Detection
QPL	Qualified Parts List
QML	Qualified Manufacturer List



RH	Radiation Hardened
RHA	Relative Humidity Ambient
RTF	Resultado de Taxa de Falha
RTV	Radiation Test Verification
SEE	Single Event Effect
SEQ	Serviço de Engenharia da Qualidade
SPC	Statistical Process Control
SN	Severity Number
HALT	Highly Accelerated LifeTesting
HAST	Highly Accelerated Stress Testing
THB	Temperature Humidity Bias
TID	Total Ionizing Dose
TRL	Technology Readiness Level
VLM	Veículo Lançador de Microsatélites
WSM	Weighted Score Method



## SUMÁRIO

1	INTRODUÇÃO.....	1
1.1	Motivação .....	1
1.2	Objetivo e contribuição do trabalho .....	2
1.3	Motivação, Literatura disponível e Conhecimento buscado.....	2
1.4	Organização da tese.....	4
2	DEFINIÇÕES E CONCEITOS BÁSICOS .....	6
2.1	Classificação de satélites.....	8
3	REVISÃO BIBLIOGRÁFICA .....	10
3.1	NASA.....	10
3.1.1	Workshop JAXA.....	13
3.2	ECSS.....	16
3.3	Visão atualizada na utilização de COTS segundo o Workshop “ <i>On COTS Components for Space Application</i> ” em Sevilla na Espanha, 2019.....	18
3.4	Algumas ideias equivocadas referentes à utilização de COTS que vale destacar segundo Dan Friedlander .....	20
3.5	Alguns Projetos de Nano/Micro Satélites Utilizando COTS .....	23
4	Contextualização sobre uso de COTS.....	27
4.1	Mitigação de risco associado ao uso de COTS: Recomendações e Práticas .....	28
4.1.1	Derating.....	28
4.1.1.1	Temperatura de junção .....	28
4.1.1.2	Relação de carga .....	28
4.1.1.3	Condições de operação .....	28
4.1.1.4	Faixa de operação .....	29
4.1.1.5	Parâmetros de derating.....	29
4.1.2	Radiação .....	31
4.2	Confiabilidade praticada nos projetos de satélite do INPE .....	33
5	METODOLOGIA .....	34
5.1	Formulação.....	35
5.2	Procedimento para a escolha do COTS: .....	36

5.3 Problema e Abordagens para sua Solução .....	37
5.3.1 Método AGREE.....	41
5.3.2 FMECA .....	45
5.3.2.1 Classificação de criticidade:.....	47
5.3.3 Importância Relativa da confiabilidade da unidade .....	50
5.3.4 Levantamento da taxa de falha de um COTS segundo o GUIA FIDES . .....	52
5.3.4.1 Sobre a taxa de falha ( $\lambda$ ).....	62
5.3.4.2 Fases .....	64
5.3.4.3 Conversor DC/DC .....	72
5.3.4.4 CI e Semicondutor .....	73
5.3.4.5 Informações relacionadas à tecnologia.....	77
6 FATOR COMPLEXIDADE .....	88
7 PROPOSTA DE TESTES AMBIENTAIS PARA COTS.....	108
8 Abordagens COMPLEMENTARES PARA SOLUÇÃO DO PROBLEMA: Custo, RISCO e AHP. ....	116
8.1 Custo .....	116
8.2 Análise de risco .....	123
8.3 AHP .....	129
9 ESTUDO DE CASOS E CONSIDERAÇÕES .....	138
9.1 Aplicação da Metodologia proposta e considerações .....	138
9.2.1 Resultado da Taxa de falha relacionado ao parâmetro físico Térmico e frequência de Clock.....	146
9.2.2 Resultado da Taxa de falha relacionada às características da qualidade do componente e do fabricante .....	148
10.1 Sugestões e recomendações para trabalhos futuros .....	165
REFERÊNCIAS BIBLIOGRÁFICAS .....	167
APÊNDICE A - CÁLCULO DA TAXA DE FALHA CIRCUITO INTEGRADO (LINEAR TECHNOLOGY - LT 3021 – REGULADOR DE VOLTAGEM) .....	173
APÊNDICE B - CÁLCULO DA TAXA DE FALHA (LM2731 - Conversor DC/DC). .....	209

ANEXO 1 RECOMENDAÇÕES PARA PROJETOS DE CIRCUITOS  
ELETRONICOS EM EQUIPAMENTOS DE SATELITES (HW & SW):..... 246

## 1 INTRODUÇÃO

Considerando-se, por um lado, a necessidade de se atender às demandas cada vez maiores por lançamentos de pequenos satélites (< 200 kg) em missões de curta duração (< 2 anos) e baixo custo, concomitantemente à política governamental na área espacial adotada pela AEB, voltada para o desenvolvimento do lançador VLM (Veículo Lançador de Microssatélites), além de outras restrições (p.ex. ITAR) impostas por políticas internacionais que dificultam a aquisição de componentes eletrônicos complexos, enquadrados como sensíveis (estratégicos e de uso dual) e, por outro lado, tendo o custo e prazo como fatores preponderantes na execução destes projetos, os componentes eletrônicos, *Commercial Off The Shelf* (COTS) revelam-se uma oportunidade ímpar para sua utilização na indústria espacial, dado o ótimo nível de qualidade alcançada pelos fabricantes por meio da produção maciça para a eletrônica embarcada em automóveis e *smartphones*. O problema, então, resume-se a mensurar a qualidade do componente e o risco associado, dado o ambiente inóspito ao qual o componente será submetido.

### 1.1 Motivação

Pensando nas oportunidades que se descortinam conforme expostas inicialmente, algumas diretrizes e uma proposta de metodologia que demonstre um grau de confiança aceitável na escolha de um determinado componente COTS é de grande auxílio na tomada de decisão sobre utilizá-los nos projetos de pequenos satélites.

Por que pequenos satélites?

Trata-se de uma metodologia de escolha de componentes eletrônicos COTS, entende-se que se devem galgar os degraus suavemente nessa exploração, dado os riscos associados com as incertezas na tomada de decisão da escolha. Portanto, um escopo menor de estudo parece uma decisão mais adequada e conservadora do ponto de vista de risco.

Por outro lado, têm-se: coleta de dados experimentais, aprendizagem e início da montagem de uma biblioteca de COTS que redundaria num alto ganho de conhecimento nesse novo nicho de satélites que se apresenta hoje promissor no INPE.

## 1.2 Objetivo e contribuição do trabalho

Esta tese tem por objetivo apresentar uma metodologia para escolha de componentes eletrônicos COTS substituindo-os no circuito de interesse pelos de menor importância relativa em termos de impacto na confiabilidade alocada para a unidade/módulo nos projetos de pequenos satélites e em missões de curta duração.

Portanto, uma metodologia que indique com certo grau de confiança a escolha adequada de um componente COTS nos projetos de pequenos satélites é de grande auxílio na tomada de decisão na área de engenharia e de sistemas.

Além, é claro, do conhecimento a ser adquirido e da possibilidade de elaboração de uma biblioteca de COTS a partir da experiência comprovada na utilização desses componentes.

Ganhos em custo e prazo na execução dos projetos.

## 1.3 Motivação, literatura disponível e conhecimento buscado.

A Tabela 1.1 a seguir, resume essa determinação:

Tabela 1.1 - Motivação, Literatura e Conhecimento buscado.

Origem	Conhecimento disponível na literatura	Conhecimento buscado neste trabalho
<u>1ª motivação</u>  Atender a necessidade do uso de COTS nos projetos atuais de pequenos satélites	Da pesquisa bibliográfica (Métodos de predição de confiabilidade: (HDBK-217F, Reliability Handbook, [23]), (Reliability methodology for electronic systems. FIDES guide [18]), (Reliability engineering handbook. v.2, [24]), tem-se que:  O Método HDBK-217F ainda em uso porém como referência dado o conservadorismo dos resultados encontrados de taxa de falha serve como base para uma análise inicial de acordo com a metodologia proposta. Enquanto que o método FIDES mais atual e fazendo uma	Mesclar algumas características de um e de outro método de modo a inovar propondo um terceiro que atenda às necessidades para uso de COTS em pequenos satélites.  Nessa metodologia apresenta-se um método de alocação de confiabilidade chamado AGREE onde as características: complexidade e importância ou essencialidade da unidade são considerados. Destaco o fator complexidade como sendo o mais impactante do ponto de vista de resultado da taxa de falha e se faz

Tabela 1.1 – Continuação.

Origem	Conhecimento disponível na literatura	Conhecimento buscado neste trabalho
	<p>abordagem sobre taxa de falha mais realística tem obtido resultados mais compatíveis com os dados de campo.</p> <p>O manual de engenharia da confiabilidade fornece os métodos AGREE de alocação de confiabilidade e o método Karmiol e Bracha no nível de sistemas/subsistemas propondo um visão diferenciada com relação a importância da unidade no sistema e subsistema voltada a probabilidade de funcionamento da unidade e seu impacto na confiabilidade, levando-se a fazer uma analogia no nível de componente.</p>	<p>um paralelo ou analogia com o método Karmiol / Bracha no nível de sistema/subsistema para análise da taxa de falha de um COTS introduzindo esse fator como rigidez no cálculo da taxa de falha.</p>
<p><u>2ª motivação</u></p> <p>Custo, prazo e disponibilidade ao uso dado a limitação de componentes QPL pelos fabricantes.</p>	<p>Da pesquisa bibliográfica (NASA/TM-2014-218261 NESC COTS components in spacecraft systems: understanding the risk. [1]). Disponível em: &lt;<a href="https://www.nasa.gov/sites/default/files/atoms/files/cots.pdf">https://www.nasa.gov/sites/default/files/atoms/files/cots.pdf</a>&gt;. Acesso em: 15 jan. 2017, (ACCEDE. A Workshop on COTS components for space application. ALTER Technology Group [7]). Disponível em: &lt;<a href="http://wpoaltertechnology.com/accede">http://wpoaltertechnology.com/accede</a>&gt;. Acesso em: 12 nov. 2019), tem-se que:</p> <p>Ainda sem nenhuma padronização estabelecida para COTS o que demandará uma mudança de filosofia e pensamento por parte dos grandes laboratórios e centros de pesquisa os</p>	<p>Uma saída para o atendimento dos projetos de pequenos satélites ou artefatos espaciais com poucos recursos e facilidade de aquisição além de não esbarrar em restrições governamentais do tipo ITAR é a utilização de COTS nesses projetos. Neste estudo, busca-se mostrar alternativas ou formas de balancear os requisitos de custo, prazo e confiabilidade por meio de uma proposta alternativa sugerida.</p>



Tabela 1.1 – Conclusão.

Origem	Conhecimento disponível na literatura	Conhecimento buscado neste trabalho
	resultados práticos no uso de COTS por meio de testes e inspeções podem minimizar os custos e riscos inerentes as missões desejadas.	
<p><u>3ª motivação</u></p> <p>Estado da arte em termos tecnológicos</p>	<p>Da pesquisa bibliográfica (Using CubeSat/micro-satellite technology to demonstrate the Autonomous Assembly of a Reconfigurable Space Telescope (AAReST). <b>Acta Astronautica Journal</b>, v.114, v. 112-122, [9]). Disponível em: &lt;<a href="http://www.elsevier.com/locate/actaastro">www.elsevier.com/locate/actaastro</a>&gt; . Acesso em: 05 mai 2017), tem-se que:</p> <p>Há necessidade da utilização do estado da arte e tecnologias não maturadas em função das missões pretendidas.</p>	<p>Com base nesse estudo e validações ao longo do tempo expandir o escopo do método apresentado para componentes do tipo FPGA, ASIC e memórias, dado a necessidade desses componentes em pequenos satélites para trabalhos futuros.</p>

Fonte: Produção do autor.

#### 1.4 Organização da tese

Este trabalho foi organizado nos seguintes Capítulos:

Capítulo 1: introduz a oportunidade de utilização do componente COTS como solução diante de algumas dificuldades inerentes na execução de projetos na área espacial como: qualidade, prazo e custo além de impedimento na aquisição de determinados componentes eletrônicos conforme regulamentos internacionais (p.ex. ITAR). Aponta algumas contribuições advindas dessa nova metodologia e a organização deste trabalho.

Capítulo 2: define uma série de conceitos e nomenclaturas que serão usadas ao longo do trabalho e também classifica o tamanho dos satélites de acordo com o foco da nossa pesquisa.

Capítulo 3: apresenta uma revisão bibliográfica sobre a utilização de COTS em artefatos espaciais e uma discussão realizada em workshop na JAXA sobre sua utilização pela Agência Espacial Americana NASA e como a Agência Espacial Europeia ESA se posicionam na sua utilização. Como contraponto à posição conservadora das agências uma série de mitos (ideias equivocadas) na utilização de COTS é apresentada baseada na experiência de um especialista em componentes EEE.

Capítulo 4: contextualiza a utilização do COTS nos projetos de satélites no INPE e as práticas relativas à confiabilidade exercidas nos projetos. Ressalta as características vantajosas na sua utilização e aponta cuidados a serem tomados devido ao ambiente inóspito a que os artefatos são submetidos.

Capítulo 5: apresenta a metodologia de escolha baseada num fluxograma para solução e todos os métodos a serem aplicados até à tomada de decisão do componente COTS a ser usado no projeto em questão.

Capítulo 6: apresenta o fator Complexidade baseado numa analogia com o método Karmiol/Bracha no nível de sistema como sendo de suma importância no cálculo da taxa de falha do componente e assume-se como um fator de rigidez no cálculo visto que se trata de um componente comercial.

Capítulo 7: proposta de testes ambientais para COTS.

Capítulo 8: o Custo, Risco e o método AHP são apresentados como uma abordagem complementar na escolha do COTS de acordo com a metodologia proposta.

Capítulo 9: estudo de casos, e considerações apresentadas após as análises segundo os parâmetros escolhidos.

Capítulo 10: na conclusão, finaliza-se este trabalho segundo o escopo apresentado e algumas sugestões e proposta de trabalhos futuros como complementação.

## 2 DEFINIÇÕES E CONCEITOS BÁSICOS

Definições segundo a NASA [1].

**COTS:** é um componente concebido para aplicações nas quais apenas o fabricante do item ou fornecedor estabelece e controla as especificações de desempenho, configuração e confiabilidade (incluindo *design*, materiais, processos e testes), sem requisitos adicionais impostos por usuários e/ou organizações externas. Por exemplo, qualquer tipo de montagem ou componente de um catálogo sem qualquer teste adicional no nível do componente. Entrega do componente pelo fabricante como está (*Use As Is*).

**COTS Plus:** é um componente COTS suportado por dados de teste disponíveis para os usuários finais estabelecendo suposições de taxas de falhas aleatórias, desempenho consistente com a folha de dados do fabricante e métodos para excluir componentes com falhas prematuras, componentes com defeitos latentes, componentes fracos ou peças falsificadas. Por exemplo, a eletrônica automotiva, certificada por um conselho das indústrias automotivas, é um tipo de COTS Plus.

**Qualificação dos componentes:** consiste na verificação do projeto, desempenho, materiais, e confiabilidade do componente numa linha de produção, se estão consistentes com as especificações e são baseados numa amostra de testes ambientais, mecânicos, elétricos.

**Seleção dos componentes:** consiste em uma série de testes e inspeções destinadas a remover componentes não conformes e/ou com falhas prematuras (componentes com defeitos que, provavelmente, resultem em falhas iniciais) e, assim, aumentar a confiabilidade dos componentes selecionados para uso.

Mais algumas definições importante para a abrangência do problema segundo o documento:

Guideline for Verification Strategies to Minimize RISK Based on MEAL – NASA/TM-2018-220074/NESC-RP-16-01117 [2].

## **Cartão /Montagem/Qualificação de Sistema**

São testes para demonstrar que o item a ser qualificado funcionará dentro do desempenho especificado sob condições simuladas demonstrando margens para os ambientes esperados no manuseio em solo, lançamento e operações em voo. Sua proposta é descobrir defeitos de projeto e nos métodos de fabricação. Eles não pretendem exceder as margens seguras de projeto ou introduzir modos de falha não realísticos. Os testes de qualificação de projeto podem ser empregados para protótipos ou proto-flight. Esses testes são desenvolvidos a um nível bem abaixo daqueles para qualificação de componentes EEE.

## **Qualificação de Lote**

Um regime de qualificação desenvolvido numa amostra de um grupo homogêneo ou de um lote de componentes, tal que o resultado do regime de qualificação demonstra com alta confiança que uma grande proporção dos componentes do lote, atinge os requisitos de qualificação.

A qualificação do lote é desenvolvida quando o regime de qualificação for destrutivo para o componente sob teste e quando a variabilidade entre lotes for muito maior que a variabilidade intralote. Frequentemente, um modelo será assumido ou prescrito permitindo os resultados de testes serem extrapolados como informação geral sobre o desempenho do lote. Os componentes usados para qualificação deverão passar por *screening* para garantir que ela foi desenvolvida numa amostra representativa dos componentes de voo.

Acrescente-se a isso o fato de que alguns testes de qualificação podem ser destrutivos.

## **Teste de *Burn-in* do componente**

Teste aplicado no componente com carga elétrica (corrente ou voltagem) numa temperatura elevada por um número específico de horas. É um processo de envelhecimento acelerado e tenta estressar o componente ao máximo do valor nominal em condições de operação de modo a revelar falhas intrínsecas no tempo e defeitos antecipadamente (falhas prematuras: defeitos de fabricação).

## Caracterização do componente

Processo de teste de uma amostra de componentes em uma faixa ambiental (patamares de temperatura e níveis de aceleração) e aplicações para determinar as faixas dos principais valores dos parâmetros elétricos que podem ser esperados de todos os componentes produzidos, do tipo testado. Os resultados da caracterização dos componentes são frequentemente usados como base para estabelecer testes de qualificação de lotes.

## Screening do componente

Uma série de testes e inspeções pretendidas no nível do componente para remover não conformidades e falhas prematuras (componentes com defeito) e aumentar a confiança no componente selecionado para uso.

## Rastreabilidade

Uma associação identificável entre itens de hardware ou processos, tais como: entre requisito e a fonte do requisito, ou método de verificação e seu requisito básico.

### 2.1 Classificação de satélites

Na Tabela 2.1 ilustra-se a ordem de grandeza das massas dos satélites e destacam-se as que são abordadas neste estudo e que foram chamados na introdução de pequenos satélites.

Tabela 2.1 - Classificação de Satélites.

Satellite class	Mass (kg)
Large	>1000
Small	500 - 1000
Mini	100 - 500
Micro	10 - 100
Nano	<10

Fonte: Adaptado de [3].

Este estudo limita-se a trabalhar com os pequenos satélites, ou seja, embora o alto nível da qualidade do COTS alcançado pela indústria de microeletrônica, ainda assim, existe um risco associado com o seu uso na área espacial e a única maneira de minimizar tais riscos é através de testes/inspeções desses componentes (*screening*) e isso, tem impacto em custos.

Neste estudo, faz-se uma abordagem sobre achar um ponto ótimo ou equilibrado dessas variáveis: custo, confiabilidade e risco. Logo, delimitar o tamanho do satélite é um passo de precaução na abordagem do problema risco e ao custo associado.

### 3 REVISÃO BIBLIOGRÁFICA

A utilização de COTS em projetos espaciais, guardadas as devidas precauções, tem aumentado nos últimos anos. Como dito anteriormente, as dificuldades orçamentárias, prazos de entrega e restrições impostas para aquisição de certos componentes eletrônicos com nível de qualidade espacial fora do cronograma do projeto têm levado ao uso do COTS como parte da solução do problema.

Apresenta-se inicialmente como a NASA e a agência espacial europeia ESA tratam a questão do COTS em projetos espaciais e em seguida uma coletânea de experimentos e projetos científicos utilizando COTS.

#### 3.1 NASA

Segue um texto da atualização técnica da NESC 2014 [1].

A National Aeronautics and Space Administration (NASA) faz as seguintes considerações sobre **COTS**:

- a) a experiência ou conhecimento adquirido e armazenado ao longo de 40 anos dá à NASA a confiança na utilização dos componentes fabricados por vários fornecedores e conjuntamente testados, selecionados e avaliados segundo normas e padrões militares e grades de qualidade estabelecidas de acordo com a aplicação;
- b) para a utilização de COTS EEE nos projetos espaciais, principalmente, tripulados, a NASA toma uma posição mais conservadora e de precaução na sua utilização e os trata com a mesma filosofia aplicada aos componentes qualificados, testando exaustivamente e obtendo o máximo de conhecimento sobre o componente e abrindo exceções em caso da não existência de um equivalente militar.

Na avaliação de Risco pela NASA na utilização de COTS em sistemas espaciais, a primeira pergunta que se faz é: ***Pode um COTS com seleção limitada ser usado em uma espaçonave tripulada?***

A indústria eletrônica de componentes EEE para aviação, instrumentos médicos e automotivos tem a consciência de segurança e se engaja nos

processos garantidos dentro da cadeia de suprimentos para estabelecer a base de qualidade e confiabilidade usadas em seus produtos antes da montagem em aplicações críticas. Esses processos garantidos, com inspeções e possibilidade de testes desenvolvidos numa amostra dependendo da criticidade da aplicação, tem a intenção de identificar defeitos e anormalidades que servem como alertas para potenciais falhas prematuras, redução de desempenho e segurança.

### **Sobre a abordagem realizada em componentes selecionados**

Existe um largo espectro nessa abordagem: de um lado, têm-se os testes aplicados em 100% do lote de modo a caracterizar a qualidade e confiabilidade e do outro lado, tem-se o catálogo comercial de componentes que não são submetidos a quaisquer testes a não serem aqueles oferecidos pelo fabricante. O grupo da NASA *Engineering and Safety Center* (NESC) analisou dois tipos de abordagem de seleção de COTS:

- Aquele que emprega testes em nível de cartão, quando se fala em cartão, fala-se nos componentes montados numa placa de circuito impresso (PCA) acoplado à caixa (unidade ou equipamento).
- E testes no nível de subsistemas *versus* a abordagem tradicional de teste e seleção do componente antes da montagem em cartão/placa/caixa/subsistema.

O grupo concluiu que existem preocupações fundamentais com a troca dos níveis de seleção e qualificação do componente antes e depois da montagem das placas/caixas/subsistemas. O fato de o componente ser montado depois na placa/caixa/subsistema não confere qualidade adicional; portanto, corre-se o risco de falhas prematuras e defeitos de fabricação aparecer depois e durante a operação do sistema, uma vez que o tempo de testes às vezes não é suficiente para que defeitos latentes apareçam na fase de testes em solo.

### **Nível de qualificação do componente é essencial para:**

- prever e garantir o desempenho e qualidade do componente com relação à construção, desempenho e tecnologia em ambiente espacial;



- identificar componentes que funcionem propriamente em ambientes terrestres, mas, não em espaciais onde são submetidos à radiação, grandes variações de temperatura, vácuo e vibração.

Testes no nível de placa/caixa/sistema não podem replicar as falhas devido aos fatores de *stress* do tipo tensão, corrente e temperatura, como podem fornecer, os testes e seleção no nível do componente.

### **Do uso de componentes comerciais pela NASA**

A NASA teve sucesso em alguns projetos com a utilização de COTS, porém isso se deu por meio de seleção e qualificação.

O nível de seleção exigido para garantir o funcionamento com sucesso é altamente dependente do tipo de missão, ambiente, duração da missão, tipo de aplicação e tecnologia do componente. O nível de seleção é claramente tratado no documento EEE-INST-002 [4]. Participa de missões, componentes não militares de grau de qualidade inferior, quando a funcionalidade e o desempenho do componente requerido não estão disponíveis em grau militar. Sempre a NASA dará preferência aos componentes com grau Militar.

Uma análise qualitativa inicial já indica diferenças significativas em termos de confiabilidade e segurança resultantes de uma seleção militar e de um COTS. Qualidade do componente, arquitetura (redundância) e duração da missão são variáveis inseparáveis que devem ser tratadas no projeto da missão. **Uma arquitetura de sistemas poderia usar um grau inferior de qualidade do componente para missões mais curtas (semanas e meses).** Já para missões de longa duração, a qualidade do componente, em termos de confiabilidade devida à agressividade do ambiente espacial do ponto de vista de radiação (TID, SEE), é exigida, ou o uso de COTS qualificados e altamente **selecionados.**

### **Abordagens alternativas**

Qualquer outra abordagem para o uso de EEE COTS para aplicações críticas, salvo aquelas da EEE-INST-002, carece de embasamento para substanciar o problema.

Qualquer abordagem baseada em arquitetura (redundância), testes de placa/caixa/sistema individual não é suficiente para capacitar o uso sem seleção de componentes adquiridos em catálogos comerciais em aplicações críticas. Para reduzir a probabilidade de falha catastrófica da missão, os projetistas ditam práticas padrões do tipo:

- desenvolver e implementar uma Engenharia de Sistemas voltada para a garantia da missão focada na redução de esforços dos componentes, qualificação, rastreabilidade; e demonstrar como isso mitiga o risco associado com a aplicação do componente;
- fornecer um suporte de dados efetivos sobre a abordagem de seleção proposta, garantindo que a taxa de falha do componente seja adequadamente delimitada.

### **3.1.1 Workshop JAXA**

Ainda, sobre seleção de componentes EEE, apresenta-se um resumo do workshop JAXA ocorrido em Tsukuba em 2003, no Japão, sobre tendências do programa de componentes EEE da NASA: Passado, Presente e Futuro [5].

Primeiramente, apresenta-se o conglomerado de agentes que participam do programa de garantia de componentes: Associados, Parceiros e Centros da NASA.

Overview do programa:

- a) grande desafio hoje: garantir a qualidade dos COTS;
- b) padronização: uso e benefícios;
- c) histórico da NASA com padronização de componentes EEE;
- d) novas opções para padronização de componentes EEE:
  - Aerospace Qualified Electronic Component (AQEC);
  - pelos fabricantes;
  - montagem de alto nível.

A realidade do COTS:

- a) um grau acelerado da necessidade de uso de COTS pela NASA;

- b) a NASA não tem condições de construir um Hubble, Shuttle, Chandra com todos os componentes COTS e garantir a confiabilidade de componentes específicos por meio de práticas de garantia tradicional.

As diretrizes para a mudança do pensamento e filosofia praticados pela NASA:

- a) restrição de custo para missões;
- b) cronogramas apertados;
- c) objetivos tecnológicos e ciência agressiva.

Características favoráveis à utilização:

- a) o COTS é visto como solução para todos os três itens anteriores;
- b) o COTS somente é solução onde a capacidade tecnológica é essencial.

Características desfavoráveis a sua utilização:

- a) o custo para um *upgrade* e robustecimento à radiação de um COTS acaba ficando mais alto do que um componente HIGH-REL ou de qualificação para espaço.

NOTA: o custo associado a uma solução baseada em COTS pode surpreender o incauto.

Riscos desconhecidos:

- a) frequentes mudanças no projeto e processos;
- b) variação de Lote para Lote;
- c) o Lote pode consistir em uma mistura desconhecida de sub lotes;
- d) dificuldade de acesso em microcircuitos encapsulados em plástico (PEM);
- e) dado de confiabilidade do fabricante pode conter tendências;
- f) margens de projeto bem menores que os militares;
- g) faixa de temperatura, limitado;
- h) mínima seleção determinada pelo mercado;
- i) rápida obsolescência;

- j) características de radiação imprevisível.

Rastreabilidade:

Desconhecida, pode ser: da China, Taiwan, Singapura, Hong Kong, Japão, Índia, Coreia do Sul, Malásia etc. Não se tem um controle efetivo da procedência do componente.

Padronização (3 estratégias):

- a) nenhuma grande agência formal de padronização para componentes EEE;
- b) ao invés, centros específicos elaboradores de padrões/normas: MFSC-STD-3012; GSFC-EEE INST 002; JPL D 20302; SSP 30312 (*SPACE STATION*);
- c) os padrões ainda definem os graus e níveis dos componentes:
  - MIL Class S, V, K, JANS, S, and R *Failure Rates*;
  - MIL Class B, Q, H, JANTXV, P *Failure Rates*;
  - MIL Class M, N, D, E, 883B, JANTX. JAN, M *Failure Rates*;
  - COTS, etc.

Regra adotada:

- a) “*Use As Is*” para o grau requerido (cumpre o requisito técnico) ou nível mais alto;
- b) todas as outras disposições para componentes não padrões, solicitam-se um *Non-Standard Parts Application Request* (NSPAR) ou um *Parts Control Board* (PCB).

As novas opções para padronização como AQEC, padronização pelos fabricantes e montagens de alto nível requerem uma postura e mudança cultural pelos fabricantes e pela NASA, o que exige ainda muito trabalho a ser realizado para utilização de COTS.

Concluindo, têm-se:

- a) a padronização continua sendo a chave estratégica pela NASA para a garantia dos componentes EEE;

- b) o aumento do uso de COTS dificulta muito a padronização tradicional focada em componentes;
- c) as três estratégias para padronização de COTS foram sugeridas;
- d) a padronização sugerida pelas três estratégias vai exigir uma mudança cultural pela NASA;
- e) parece pouco provável que as três estratégias sugeridas alcancem a confiabilidade desejada encontrada nos componentes militares.

### **3.2 ECSS**

A European Cooperation for Space Standardization (ECSS) [6] é um esforço cooperativo da Agência Espacial Europeia, das associações das indústrias europeias com o propósito de desenvolvimento e manutenção dos padrões comuns.

O padrão ECSS-Q-ST-60-13C que trata de componentes comerciais (COTS) diferencia entre três classes de componentes:

Classe 1, 2 e 3 por meio de três diferentes conjuntos de requisitos de padronização a serem atendidos.

As três classes fornecem três níveis de compromisso entre garantia e risco.

A Classe 1 fornece a mais alta garantia com o mais baixo risco e, assim, sucessivamente.

Um resumo do tratamento das classes pode ser verificado na Tabela 3.1. A Classe 3 destacada, a qual, será o objeto de estudo deste trabalho:

Faz-se considerações e um resumo da classe 3 dos testes e inspeções a serem realizados em COTS no Capítulo 7 além de uma análise de custo e risco na sequência.

Tabela 3.1 – Classes de Componentes.

Atributos/Seleção	Classe 1	Classe 2	Classe 3
Avaliação	<p><b>Completo</b></p> <ol style="list-style-type: none"> <li>1) Análise de construção</li> <li>2) Carac. Elétricas</li> <li>3) Choque mecânico + Vibração+ aceleração cte</li> <li>4) Precond + HAST 96h ou THB 1000h</li> <li>5) Lifeteste 2000h + DPA</li> <li>6) Precond + 500T/C -55C/+125C</li> <li>7) Avaliação de radiação (TID, SEE)</li> </ol>	<p><b>Completo</b></p> <ol style="list-style-type: none"> <li>1) Análise de construção</li> <li>2) Carac. Elétricas</li> <li>3) Choque mecânico + Vibração+ aceleração cte</li> <li>4) Precond + HAST 96h ou THB 1000h</li> <li>5) Lifeteste 2000h + DPA</li> <li>6) Precond + 500T/C -55C/+125C</li> <li>7) Avaliação de radiação (TID, SEE)</li> </ol>	<p><b>Limitado</b></p> <ol style="list-style-type: none"> <li>1) Análise de construção</li> <li>2) Avaliação de radiação (TID, SEE)</li> </ol>
Documentos Justificação	<p><b>Coleção de dados</b></p> <ol style="list-style-type: none"> <li>1) Dados do fabricante do componente</li> <li>2) Status de aprovação</li> <li>3) Testes de avaliação</li> <li>4) Aquisição de inspeção e testes</li> <li>5) Teste de aceitação do lote</li> <li>6) Dados de endurecimento a radiação e RVT</li> </ol>	<p><b>Coleção de dados</b></p> <ol style="list-style-type: none"> <li>1) Dados do fabricante do componente</li> <li>2) Status de aprovação</li> <li>3) Testes de avaliação</li> <li>4) Aquisição de inspeção e testes</li> <li>5) Teste de aceitação do lote</li> <li>6) Dados de endurecimento a radiação e RVT</li> </ol> <p>Os dados são usados para redução do <i>screening</i></p>	<p><b>Coleção de dados</b></p> <ol style="list-style-type: none"> <li>1) Dados do fabricante do componente</li> <li>2) Status de aprovação</li> <li>3) Testes de avaliação</li> <li>4) Aquisição de inspeção e testes</li> <li>5) Teste de aceitação do lote</li> <li>6) Dados de endurecimento à radiação e RVT</li> </ol> <p>Os dados são usados para redução de testes</p>
Cliente pre cap	Não	Não	Não
Screening	<b>Completo</b>	<b>Limitado</b>	<b>Limitado</b> Teste de PIND e Hermeticidade (se aplicável)
Teste do Lote	<b>Completo</b>	<b>Completo</b>	<b>Limitado</b>  <ol style="list-style-type: none"> <li>1) Análise de construção;</li> <li>2) RVT (Teste de verificação de radiação)</li> </ol>
Cliente comprar fora			

Tabela 3.1 – Conclusão.

Atributos/Seleção	Classe 1	Classe 2	Classe 3
Inspeção de recebimento	Sim	Sim	Sim

Fonte: Adaptado de [4].

### 3.3 Visão atualizada na utilização de COTS segundo o Workshop “*On COTS Components for Space Application*” em Sevilla na Espanha, 2019

Nas duas tabelas seguintes mostram-se a classificação das missões e os padrões usados para componentes e aqueles, ainda, em discussão para COTS, além dos tipos de componentes EEE (grau de qualidade: Espacial, Militar e COTS) para o tipo de missão.

- 1) Na Tabela 3.2, apresentam-se nas linhas 1,2 e 3 os seguintes critérios: Tipos de missões e suas classificações com exemplos de satélites nas colunas correspondentes de acordo com os atributos elencados;
- 2) A essencialidade com relação ao atributo radiação TID os efeitos sobre os subsistemas/equipamentos/módulos;
- 3) Os *guidelines*, procedimentos e padrões de qualidade seguidos pelo tipo de missão e o risco associado.

Tabela 3.2 – Classificação de missões e padronização formal e informal.

<-----Informative area-----> <---Normative area--->						
Mission reference	Type	"Low cost - experimental" mission,		"Robust" mission with high quality / reliability needs,		"Hi Rel certified" mission
	Cost	Low		Low/medium		Medium/High
	Lifetime	few weeks/months		> 1 year		> 3 Year
	Reliability	low to medium		High		high
	Radiation SEE	negligible due to lifetime		Relevant		relevant
	Example	ESEO, Cubesat in LEO, R&D payloads, serviceable systems		SAT-AIS, Generic Constellation, Technology Demonstrators		MEX, GAIA, Bepi Colombo, Sentinel 1,2,3, METOP SG, EDRS, Electra, Galileo FOC, IOV...
Module, equipment or subsystem function	Type	Non Essential	Essential	Non Essential	Essential	all
	Radiation TiD	Minor	Minor	Medium	Medium	medium to high
(Minimum) Risk class (quality standard, guidelines or procedures to be followed)		Q <sub>4</sub> (TBD)	Q <sub>3</sub> (TBD)	Q <sub>2</sub> (TBD)	Q <sub>1</sub> (TBD)	Q <sub>0</sub> According to ECSS-Q-ST-60-13C*, ECSS-Q-ST-60C ** extended to passives

Fonte: [7].

Na Tabela 3.3, apresentam-se nas três linhas da tabela, o seguinte:

- 1) Os tipos de missões: experimental, robusta e de alta confiabilidade e o nível de qualidade associado, de acordo com as áreas normativas e informativas nas respectivas colunas;
- 2) Nível de confiabilidade: COTS, COTS Plus, Grau de qualidade espacial de acordo com as áreas normativas e informativas das respectivas colunas;
- 3) O que significa: COTS (sem herança, sem *screening*, sem homogeneidade do lote, sem avaliação); COTS Plus (avaliação, homogeneidade do lote, baixa herança e sem *screening*); QPL (avaliação, forte herança, homogeneidade do lote).



Tabela 3.3 - Tipos de componentes para tipos de missões.

	<-----Informative area----->	←--Normative area-->
<b>Mission reference</b>	<u>"Low cost - experimental" mission.</u>	<u>"Robust" mission with high quality / reliability needs.</u>
<b>Reliability level</b>	Commercial parts	Automotive parts  Space parts
<b>What does it mean?</b>	no heritage no screening no lot homogeneity no evaluation	Existing evaluation lot homogeneity low heritage no screening
		QPL parts Evaluation strong heritage lot homogeneity

Fonte: [7].

### 3.4 Algumas ideias equivocadas referentes à utilização de COTS que vale destacar segundo Dan Friedlander

O texto a seguir é um artigo publicado [8].

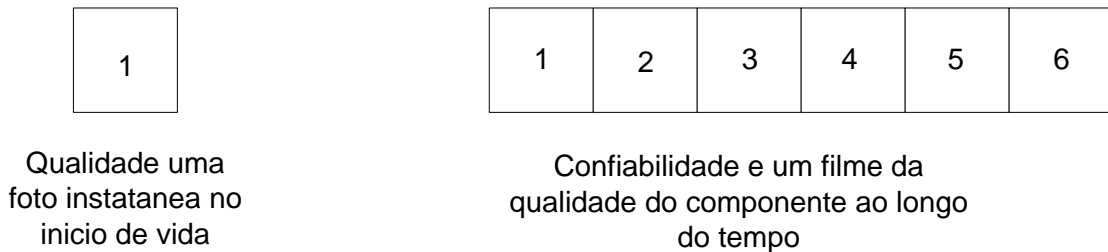
Algumas ideias equivocadas relacionadas à utilização de COTS, em projetos espaciais:

- a) o principal motivo para o uso de COTS no espaço é o “Fator Custo:”
  - i. a principal razão para a corrida ao COTS é a não disponibilidade no mercado dos componentes com nível de qualidade tradicional (MIL/SPACE) e pela redução das fontes fornecedoras;
- b) interpretação incorreta do termo “Qualificado para Espaço:”
  - i. espaço > 100km (artefatos espaciais acima dessa altitude nesse ambiente)
  - ii. depende de muitos parâmetros como: Órbita, Duração da missão, etc. O termo qualificado para espaço de acordo com a especificação MIL é se o componente cumpre com os requisitos para a aplicação (missão);
- c) interpretação incorreta do termo “Herança Espacial:”
  - i. o termo frequentemente usado “Herança espacial” deverá ser totalmente entendido no contexto específico do uso na missão,

**ou seja, as características da missão devem ser semelhantes;**

- d) uso do termo “Qualidade” e “Confiabilidade” como sinônimo:
- i. qualidade e confiabilidade são frequentemente usadas como substituíveis para descrever a taxa de falha do componente, mas, os dois termos, na verdade, descrevem aspectos inteiramente diferentes sobre o comportamento do componente ao longo de seu tempo de vida;
  - ii. qualidade está relacionada aos processos do fabricante e à qualidade, também, do componente em termos de testes e inspeções submetidos enquanto a confiabilidade avalia o efeito do tempo na qualidade do componente. A Figura 3.1 resume essa ideia conceitual.

Figura 3.1 - Desenho ilustrativo da diferença entre qualidade e confiabilidade.



Fonte: Produção do Autor.

- e) a confiabilidade do COTS não pode ser garantida a não ser que eles sejam testados e selecionados em 100%:
- i. é claro que a confiabilidade é inerente ao processo de fabricação do componente (*design*, processo e materiais). Portanto, a confiabilidade do componente é uma característica dele, nasce com ele. A qualificação e o *screening* não são considerados como substitutos do controle do fabricante, ao contrário, é uma medida de mitigação de risco. Consequentemente, a maneira de resolver o problema da qualidade é por meio do controle estatístico do processo. A validação do processo estatístico seguido pelo fabricante sob

demanda de altos volumes de produção confere a confiabilidade ao componente. Tal como na produção de COTS;

f) cumprir o requisito quantitativo ao limite da confiabilidade é exigência da especificação de modo a buscar a confiabilidade necessária da missão:

i. os métodos existentes de levantamento de taxa de falha analítica de componentes já demonstraram que servem como **uma base ou um guia, mas os valores diferem em muito dos coletados em campo;**

g) encapsulamento de plástico de semicondutores (PEM) não podem ser usados para aplicações espaciais:

i. lógico que a hermeticidade dos componentes moldados em plásticos não pode competir com os de cerâmica. O problema aqui não é quem é o vencedor. Se, armazenado apropriadamente (controle de temperatura e umidade) por que não usar no espaço?

h) os fabricantes de COTS não são controlados suficientemente:

i. a história tem mostrado que um controle central não foi eficiente para componentes militares. Dentro da visão do Controle Estatístico de Processo (SPC) e avaliação estatística de alto volume de produção, a variação ou variabilidade do processo é melhor de lote para lote e dentro do lote. Esse é um problema mais voltado para teste de radiação, onde as características de endurecimento à radiação de uns diferem de outros (variabilidade no processo);

i) as missões com sucesso no espaço só podem ser atingidas com abordagens conservadoras:

i. o nome dessa articulação é gerenciamento de risco. Missões espaciais são inerentemente arriscadas. Nenhuma abordagem nem mesmo a conservativa pode evitar falhas. A abordagem conservativa tem seu próprio valor para um dado nível de

conhecimento e para um dado status tecnológico disponível e para uma dada condição global. Existe mais de um modo para o sucesso;

- j) a redundância é uma solução atraente para capacitar o uso de componentes COTS:
  - i. redundância é necessária e é uma boa solução prática para diminuir a probabilidade de falha em sistemas, contudo, tem suas limitações. Os mesmos tipos de componentes são esperados falhar, independentemente, no mesmo projeto;
  - ii. qualquer redundância vem com seu peso, potência e custo (*SwaP: Size, Weight and Power*) penalidades que podem ser significativas.

### **3.5 Alguns projetos de Nano/Micro satélites utilizando COTS**

Neste subitem apresento alguns experimentos espaciais que utilizam COTS nos seus projetos eletrônicos. O objetivo é mostrar a tendência e as características e peculiaridades de cada projeto e a preocupação com testes em função do risco e custo associado. Segue alguns exemplos:

- a) uso de tecnologia de nano/micro satélites para reconfiguração de um telescópio no espaço [9]:

Atualmente, o estado da arte em termos de desenvolvimento de telescópios espaciais é o James Webb que tem como abertura primária um diâmetro de 6.6 m. O telescópio James Webb representa o maior avanço em projeto de telescópio espacial devido ao uso de mecanismos de elementos desdobráveis no seu espelho primário.

Contudo, existe uma limitação na grandeza dessa abertura devido ao diâmetro do veículo lançador. Uma maneira de contornar essa limitação seria uma montagem autônoma em órbita através de elementos de espelhos presos a pequenos satélites independentes. Fazendo isso, um grande telescópio com espelho primário segmentado pode ser construído.

De modo a provar a factibilidade de tal conceito, um experimento denominado *Autonomous Assembly of a Reconfigurable Space Telescope (AAReST)* está sendo elaborado por meio de um esforço entre o Instituto de Tecnologia da Califórnia e o Centro Espacial da Universidade Surrey.

Uma das premissas do projeto é a utilização de COTS (pelo desempenho e avanço tecnológico), sempre que possível experimentado e testado.

b) PicPot nano satélite desenvolvido por uma Universidade [10]:

Esse experimento universitário, com a finalidade de imageamento, também, utiliza COTS como uma maneira de contornar orçamentos restritivos e apresenta interessantes soluções tolerantes a falhas que são descritas a seguir:

A maioria dos esforços na utilização de COTS em projetos de satélites é a proteção de circuitos contra eventos catastróficos. Técnicas para buscar esses objetivos são soluções de ordem física ou lógicas digitais, a saber:

- Físicas: blindagem nos componentes sensíveis e escolha de dispositivos que são menos propensos a erros devidos à radiação (SEE, TID) comparando com seu preço (*trade-off*) e redundância de circuitos críticos, quando possível;
- Lógicas: EDAC, *Watchdog Timers*, etc.

c) navegação precisa de um microssatélite usando um receptor de GPS de baixo custo [11]:

Dados de voo do receptor de uma só frequência Phoenix-XNS GPS a bordo do microssatélite PROBA-2 de órbita baixa foram analisados para demonstrar a precisão que pode ser alcançada com eletrônica COTS.

Até que a sensibilidade a *Latch-Up* (LU) dos componentes eletrônicos comerciais impacte a missão ou funções vitais do satélite, os dados brutos até agora recebidos têm sido de grande valia juntamente com um tratamento de dados em Terra para determinação precisa da órbita.

d) CubeSats pelo BRASIL e utilização de COTS:

- ITASAT [12];

o satélite possui controle nos três eixos e é alimentado por células solares montadas em sua superfície. Ele leva várias cargas experimentais: um sistema de coleta de dados, um receptor GPS e um sistema de câmera, fornecendo uma resolução terrestre de cerca de 80 metros. Utiliza componentes COTS nos seus subsistemas.

- Tancredo -1 (TubeSat) [13];

nano satélite que usou uma plataforma Tubesat com aproximadamente 600gr utilizando componentes COTS. Além da finalidade pedagógica, do ponto de vista técnico, enviar mensagens gravadas numa memória em frequência de radioamador e fazer medidas do campo magnético na região da Anomalia do Atlântico Sul através de uma antena Langmuir;

- NanosatC-BR [14];

o NanoSatC-Br 1 é um CubeSat 1U que teve como objetivo duas missões no espaço, uma científica e a outra tecnológica.

O objetivo científico da missão do NanoSatC-Br 1 foi o de fornecer monitoramento da magnetosfera da Terra por meio da medição do campo magnético terrestre sobre o Brasil e para estudar os fenômenos magnéticos da Anomalia Magnética do Atlântico Sul e do setor brasileiro do Eletro jato Equatorial. Para isso, utilizou um magnetômetro de três eixos da empresa holandesa *Xensor Integration (XI)*.

A Missão Tecnológica do NanoSatC-Br 1 consistiu em testar, em voo, circuitos integrados (CI's) projetados no Brasil e financiados pelo Projeto CITAR-FINEP para resistência à radiação com um objetivo maior de, futuramente, serem, possivelmente, usados em missões com outros satélites brasileiros de maior porte. Fez uso de componentes COTS na montagem dos circuitos eletrônicos.

- AESP14 [15];

O AESP-14 foi o primeiro nano satélite (CubeSat) brasileiro; foi concebido no início de 2012. O objetivo principal da missão era obter

uma plataforma nacional de CubeSat 1U, ou seja, validar no espaço a plataforma desenvolvida por estudantes. Foi lançado em 5 de fevereiro de 2015, mas, ficou inoperante por não ter estendido a antena de transmissão como deveria. Os técnicos do Instituto Tecnológico de Aeronáutica tentaram reverter o problema, porém, passados 15 dias a carga da bateria do dispositivo acabou. Planejava-se que ele teria três meses de vida útil. Tinha 10 centímetros cúbicos e pesava 700 gramas. Fez uso de componentes COTS.

Esses são alguns exemplos de pequenos satélites que **foram e estão** em desenvolvimento, os quais utilizam componentes eletrônicos COTS, atendendo aos requisitos descritos anteriormente como: prazo, custo e estado da arte em termos de tecnologia.

#### 4 CONTEXTUALIZAÇÃO SOBRE USO DE COTS

A tendência atual na utilização de componentes *Commercial-Off-The-Shelf* (COTS), considerando o gerenciamento de custo, tempo de desenvolvimento, disponibilidade para aquisição e por outro lado os níveis de qualidade alcançados com o crescimento acelerado do emprego da eletrônica embarcada nos veículos automotivos e na área de telecomunicações com os smartphones, potencializam seu uso e se vislumbra uma oportunidade excelente de utilização em projetos espaciais de curta duração.

Existem três razões principais para o uso de componentes COTS em projetos espaciais [7]:

- 1) melhor desempenho (estado da arte: tecnologia de última geração);
- 2) a não existência de lista de partes qualificadas (demanda tempo para qualificação) disponível para espaço;
- 3) 1/10 em geral do custo com o equivalente QPL para espaço.

Os dois primeiros itens são as principais razões para uso em projetos espaciais. O custo mais baixo é o principal condutor para lançamentos de constelações de satélites

Em contrapartida, o COTS não segue o rigor estabelecido nas normas militares em termos de teste, inspeção, seleção e documentação, o que dificulta muito a rastreabilidade do componente desde sua fabricação aos testes submetidos.

O grande entrave na utilização desses componentes recai no caso espacial sobre o ambiente inóspito a que serão submetidos.

Como se sabe, os grandes vilões são:

- 1) vibração (aceleração) no lançamento;
- 2) térmica (ciclagem térmica severa durante o ciclo de vida do satélite);
- 3) radiação ionizante (dose total acumulada – TID e eventos de efeito único – SEE's) proveniente da atividade solar.



Então, é de suma importância a escolha acertada dos componentes EEE COTS a serem usados no projeto de equipamentos/subsistemas para satélites.

A escolha do COTS torna-se um desafio em termos de qualidade.

#### **4.1 Mitigação de risco associado ao uso de COTS: Recomendações e Práticas**

A seguir, alguns conceitos estabelecidos pelo padrão/norma ECSS-QS-T-30-11C Rev1[16]:

##### **4.1.1 Derating**

Processo de concepção de um produto de modo que seus componentes operem em um nível de estresse significativamente reduzido para aumentar a confiabilidade e garantir margens de projeto e vida útil.

O termo *derating* refere-se à redução intencional de estresse: elétrico, térmico e mecânico dos componentes em níveis abaixo de sua faixa especificada pelo fabricante.

##### **4.1.1.1 Temperatura de junção**

É a mais alta temperatura medida ou prevista na junção (PN/NP) dentro de um semicondutor ou dispositivo microeletrônico.

Nota: A temperatura prevista pode ser considerada como:  $T_{case} + \text{resistência térmica entre junção e case} \times \text{potência real (Watt) do dispositivo}$ .

##### **4.1.1.2 Relação de carga**

Nível operacional permitido após a aplicação da redução de capacidade; dado como uma porcentagem de uma classificação do parâmetro.

##### **4.1.1.3 Condições de operação**

Parâmetro de estresse ambiental (temperatura, vibração, choque e radiação) nos quais os componentes devem operar.

#### **4.1.1.4 Faixa de operação**

Valor máximo do parâmetro especificado e garantido pelo fabricante do componente e especificação de aquisição do componente.

Nota: A faixa de trabalho/operação é considerada um limite a não ser excedido durante a vida do componente e constitui na maioria dos casos como referência para *derating*.

#### **4.1.1.5 Parâmetros de derating**

Os principais parâmetros a serem reduzidos são:

Temperatura da junção ou de encapsulamento;

Potência (faixa de dissipação);

Voltagem;

Corrente.

Os parâmetros a serem reduzidos dependem do tipo de componente.

Um conceito de equilíbrio de estresse oferece flexibilidade entre um estresse contra outro (tensão e temperatura). Em alguns casos, por ex., resistores, o *derating* tem um efeito direto no impacto de desempenho do componente.

Seguem abaixo algumas Tabelas de *derating* segundo a norma ECSS-Q-ST-30-11C Rev1(2011) para algumas famílias de componentes que estão sendo abordadas nesta tese:

As tabelas seguintes tratam da relação de alguns parâmetros elétricos de interesse e suas relações de carga.

Tabela 4.1 - *Derating* de parâmetros para diodos (chaveamento de sinal, retificador incluindo Shottky).

<u>Parameters</u>	<u>Load ratio or limit</u>
Forward current ( $I_F$ ):	<u>75%</u>
Reverse voltage ( $V_R$ )	75 %
Dissipated power ( $P_D$ )	50 % (only if dissipated power is defined by the manufacturer)
<u>Junction temperature (<math>T_j</math>)</u>	110 °C or $T_{j\ max} - 40\ ^\circ\text{C}$ (whichever is lower).

Fonte: [16].

Tabela 4.2 - *Derating* de parâmetros para famílias lógicas.

<b>Parameters</b>	<b>Load ratio or limit</b>	<b>Special conditions</b>
Supply voltage ( $V_{CC}$ )	Manufacturer recommended value $\pm 5\ %$ or 90 % of maximum rating.	<b>Supply voltage</b> <ul style="list-style-type: none"> <li>- Turn on transient peaks or other peaks shall not exceed the maximum rating.</li> <li>- The input voltage shall not exceed the supply voltage (unless otherwise stated in the device specification).</li> </ul>
Output current ( $I_{out}$ )	80 %	
<u>Junction temperature (<math>T_j</math>)</u>	110 °C or $T_{j\ max} - 40\ ^\circ\text{C}$ (whichever is lower)	<u>&lt;&lt;deleted&gt;&gt;</u>

Fonte: [16].

Tabela 4.3 - *Derating* de parâmetros para famílias circuitos integrados lineares.

Parameters	Load ratio or limit	Special conditions
Supply voltage ( $V_{CC}$ )	90 % of the maximum rated value	Supply voltage shall include DC + AC ripple.
Input voltage ( $V_{IN}$ )	70 % (or 50 % on the input current) for operational amplifiers. 100 % or derated circuit supply voltage, whichever is less, for comparators. 90 % for regulators.	
Output current ( $I_{out}$ )	80 %	
Transients	Shall not exceed the specified maximum ratings.	
Maximum junction temperature ( $T_{Jmax}$ )	110 °C or $T_{Jmax} - 40$ °C, whichever is lower.	

Fonte:[16].

#### 4.1.2 Radiação

O ambiente espacial é extremamente radioativo e essa radiação é função da atividade solar. Esse ambiente é composto de partículas pesadas (prótons, nêutrons) e raios  $\gamma$  que ameaçam a integridade funcional de um circuito eletrônico dado a sua tecnologia de fabricação, geometria de construção e à alta integração de funções num chip.

Então, garantir a integridade funcional de um componente eletrônico é um desafio frequente dado à evolução muito rápida dos circuitos e da demanda por funcionalidades cada vez mais desafiadoras, logo um plano de desenvolvimento de circuitos que garantam um endurecimento à radiação é extremamente desejável. Por outro lado, o custo de tais componentes endurecidos (RH) se tornam quase inviáveis para missões LEO de curta duração e baixo custo, levando os projetistas a pensarem numa solução alternativa mais viável.

O COTS, então, pode se tornar uma opção interessante dependendo do tratamento adequado na sua escolha e testes adicionais que demonstrem a sua capacidade funcional de sobrevivência ao ambiente espacial planejado,

além de uma série de soluções já implementadas e testadas para mitigação das possíveis falhas indesejáveis que porventura surjam durante a missão.

Como se sabe os efeitos decorrentes desse ambiente radioativo se resumem em:

- dose total ionizante (TID);
- eventos de efeito único (SEE).

As tecnologias sensíveis à radiação como: CMOS, EPI CMOS, SOI, BI MOS, BI POLAR que abrangem as categorias/famílias de componentes do tipo: CI MOSFET devem ser tratadas focando na identificação das *foundrys* (fabricas de fundição dos wafers de semicondutores), sua procedência e histórico de fabricação, revisão do **die**, resultados de testes de radiação existentes e herança de voo.

Teste de radiação para aceitação do Lote deve ser feito para garantia dos componentes a serem usados no projeto.

A radiação é uma ameaça para o **die** e não para o encapsulamento.

Um encapsulamento do tipo (PEM) desde que mantido num ambiente controlado (Temperatura e Umidade) não terá sua integridade afetada, lógico que o seu uso ficará limitado a sua aplicação e ao tempo de exposição, pois os efeitos da radiação conhecidos serão bastantes danosos para o **die**.

Seguem alguns testes de radiação que podem ser realizados:

Testes Destrutivos:

- a) SEL (*Single Event Latch up*);
- b) SEGR (*Single Event Gate Rupture*);
- c) SEB (*Single Event Burnout*).

Testes Não Destrutivos:

- d) TID (*Total Ionizing Dose*);
- e) *Displacement*;
- f) SEU (*Single Event Up set*);

g) SET (*Single Event Transient*).

Considerando o custo de teste em um laboratório qualificado da ordem de USD1500 a hora e tempo mínimo de teste solicitado de 60h, pode-se ter uma ideia do custo final de um desses testes não destrutivos. Uma vez que, se tem a curiosidade de ver o comportamento funcional (alguns parâmetros elétricos) de um componente específico sob níveis de radiação que devem ser encontrados no ambiente previsto na missão, com base por exemplo em Softwares do tipo SPENVIS [17].

#### **4.2 Confiabilidade praticada nos projetos de satélite do INPE**

O INPE ao longo desses anos tem praticado a filosofia e o lema de buscar a excelência nos componentes eletrônicos na execução dos projetos desenvolvidos usando como princípio o grau de qualidade para espaço nos componentes EEE do satélite. Utiliza como regra as normas da NASA e ECSS para classificação e seleção dos componentes a serem usados, de tal forma que as análises de confiabilidade dos sistemas e subsistemas que integram os satélites resultam em três estudos, a saber:

- a) inicialmente, uma abordagem de contagem de partes (*Parts Count*) para ser ter uma ideia do cumprimento do requisito figura de Confiabilidade alocada para o subsistema em questão. Isso é feito até a revisão preliminar de projeto;
- b) posteriormente numa revisão crítica de projeto uma Análise de Estresse dos Componentes também chamada de *Parts Stress Analysis* e uma FMEA funcional para contornar os possíveis gargalos encontrados do tipo *Single Point Failure* (SPF) e redundâncias necessárias quando possível;
- c) finalizando com um estudo de *Derating* com o intuito de reduzir esforços, conseqüentemente, alongando a vida útil das unidades.

Neste estudo sobre COTS, inicia-se uma abordagem um pouco mais diferenciada no sentido de se buscar um equilíbrio ou otimização entre a confiabilidade desejada ou suficiente (*just enough*) para a missão desejada e o custo relativo com as soluções encontradas e riscos associados, buscando-se um equilíbrio que atenda ao objetivo da missão.

## 5 METODOLOGIA

Neste estudo, considera-se o projeto de um equipamento/subsistema (estudo de caso - subsistema de potência – Tubesat Tancredo). Os componentes COTS a serem usados no equipamento executam uma função específica de acordo com o requisito funcional elétrico em um determinado módulo eletrônico como uma solução para a funcionalidade desejada na missão.

Dada à possibilidade de utilizar algumas opções disponíveis no mercado, mas, de diferentes fabricantes e níveis de qualidade desconhecidos em termos de confiabilidade, propõe-se apresentar a seguinte abordagem:

- a) desenvolver um método de escolha baseado em adaptações de assuntos provenientes da área de confiabilidade para uma abordagem em termos de probabilidade de falha;
- b) Iniciar uma análise de FMECA para identificação dos componentes críticos da placa (os quais, se identificados, não serão substituídos por COTS);
- c) Alocar a confiabilidade da unidade de interesse utilizando o método AGREE. Em seguida, uma análise de importância relativa dos componentes sugeridos no projeto inicial que menos impactam o requisito de confiabilidade;
- d) Identificar os componentes de menor impacto na confiabilidade da placa. E em seguida, iniciar a busca pelos candidatos a componentes COTS com base em um processo a ser sugerido.
- e) utilizar inicialmente o manual HDBK-217F e posteriormente o guia FIDES para cálculo da taxa de falha do componente baseado nos mecanismos de falha física (*Overstress*: térmico, mecânico, umidade relativa, sub montagem de placas e pontos de solda) e os fatores da qualidade dos fabricantes (processos de fabricação e garantia da qualidade) considerando as fases de vida do componente, além da possibilidade do uso da ferramenta AHP, como o método de decisão na escolha do COTS mais adequado entre os disponíveis pelos fabricantes por meio de consulta com experts das áreas relacionadas ao projeto.

Nesse trabalho um engenheiro especialista da área de suprimento de energia de satélites do INPE fez algumas colocações do ponto de vista funcional elétrico.

f) mostrar um caminho alternativo para a escolha do COTS com base em custo nos casos específicos. Quando o COTS de interesse não possui dados suficientes que comprovem ou demostrem a confiabilidade desejada, por meio de testes ambientais acelerados do tipo (HAST), para inferência sobre MTTF além de, *Burn-in* para os casos em geral como forma de mitigar falhas prematuras.

A escolha do componente COTS apropriado não é uma tarefa trivial e é considerado um processo de tomada de decisão com múltiplos critérios. No caso presente, apenas três critérios são considerados: **confiabilidade, custo e risco**.

### 5.1 Formulação

Para a escolha do COTS, a decisão foi baseada em alguns parâmetros que se entende serem os mais importantes e se propõe o modelo de escolha considerando os seguintes desafios associados ao problema:

- a) mecanismos de falha físicos (Guia FIDES) [18], cálculo de confiabilidade (taxa de falha) e características de qualidade e de processo do fabricante;
- b) complexidade do componente;
- c) **os custos<sup>1</sup> referentes aos testes funcionais elétricos/ambientais necessários para obtenção dos dados necessários para inferência sobre taxa de falha e sua utilização: (Testes funcionais elétricos / ambientais adicionais – *Burn-in* e HAST [19]);**

---

<sup>1</sup> Nota: Em negrito os custos adicionais que podem ser tratados com uma análise tendo como referência a norma MIL STD 883 [22] ou ECSS-Q-ST-60-13C classe 3.



- d) método de decisão AHP [20] [21]: baseado nos fatores de qualidade do fabricante, características e preferências funcionais.

## 5.2 Procedimento para a escolha do COTS:

- a) detecção, reconhecimento e eliminação de potenciais componentes problemáticos que poderiam levar a falhas funcionais críticas (FMECA);
- b) alocação de confiabilidade de acordo com a importância do subsistema e segundo o método AGREE;
- c) consideração da importância relativa da confiabilidade de cada componente na placa eletrônica com base na taxa de falha ( $\lambda$ ) segundo HDBK-217 [23];

Nota: A proposta deste trabalho utilizando o guia FIDES não cobre todos os tipos de componentes (passivos e ativos) no algoritmo desenvolvido [48];

- d) Identificação dos componentes menos críticos (os quais podem ser substituídos por COTS);
- e) uso do Guia FIDES (método de análise de falha de componentes EEE) para determinação da taxa de falha  $\lambda$  por meio do tratamento dos mecanismos de falha física e também uma analogia com o Método Karmiol/Bracha [24] (adaptado) com relação ao fator complexidade do componente (exemplo dos casos a serem estudados: CI analógico/digital, semicondutores e conversor DC/DC).  
Parâmetros de interesse:

- tempo de funcionamento / ciclo de trabalho;
- perfil Operacional (Faixa de temperatura);
- complexidade do componente (Níveis de integração);

- f) método de otimização baseado em três critérios: Confiabilidade, Custo (testes) e Risco, tendo como objetivo um **up-grading** para MIL 883 ou ECSS-Q-ST-60-13 C classe 3;
- g) tomada de decisão dos componentes COTS propostos com base nos dados obtidos dos fabricantes (O Guia FIDES trata dos fatores de

qualidade do fabricante ( $\Pi_{PM} \times \Pi_{Process}$ ) que, juntamente, com o método AHP pode-se tratar das preferências funcionais do componente com os projetistas.

### **5.3 Problema e abordagens para sua solução**

Para iniciar a discussão em torno do problema de escolha do COTS adequado para o cumprimento dos requisitos funcionais elétricos e ambientais requeridos no projeto, deve-se ater à sequência de passos necessários para atingir o objetivo.

Um estudo de alocação de confiabilidade deverá ter sido realizado anteriormente em nível de subsistema/módulo para, então, iniciar a escolha do componente COTS a ser utilizado.

Os diagramas esquemáticos do problema e da solução são apresentados nas Figuras 5.1a, 5.1b e 5.1c.

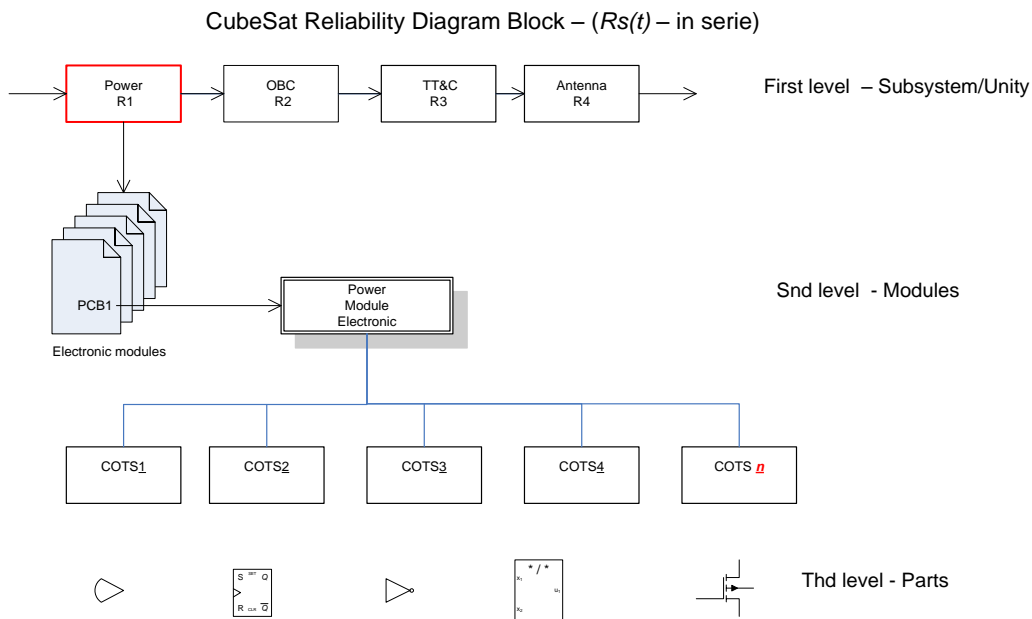
Para representar um sistema de um pequeno satélite, como exemplo, a Figura 5.1a mostra algumas unidades em série num primeiro nível.

No nível inferior, tem-se os módulos eletrônicos e as respectivas placas montadas com componentes (PCA).

Finaliza-se com os possíveis componentes COTS que poderão ser substituídos após uma análise de importância relativa e impacto na confiabilidade alocada, para a unidade/placa.

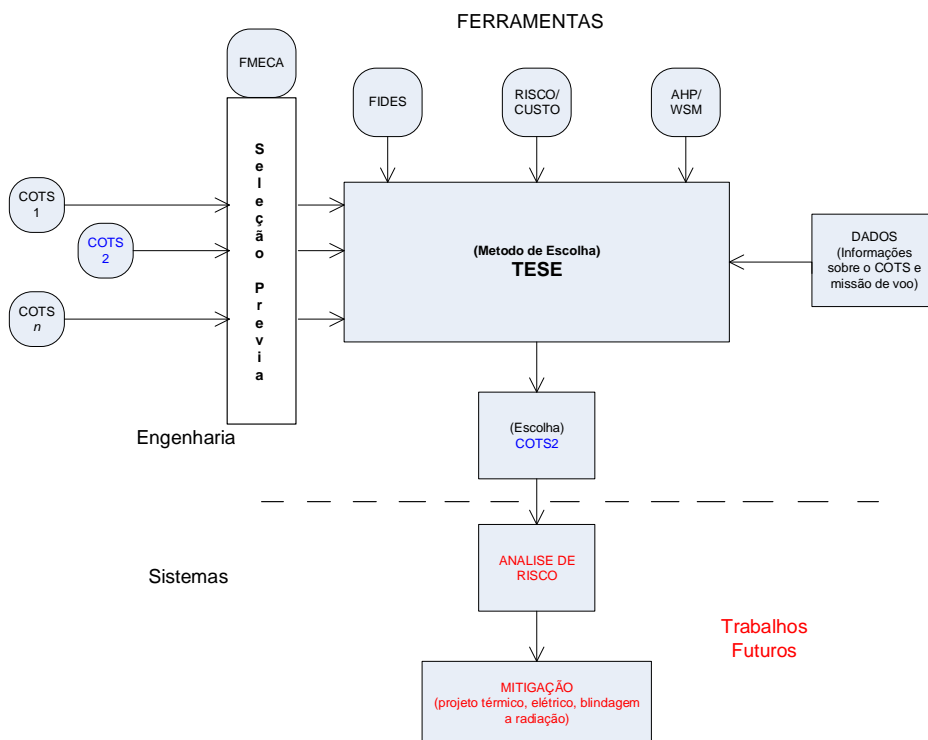
Figura 5.1 – Esquema, Fluxograma e Algoritmo.

a) Topologia de um Sistema Eletrônico Hipotético



Solução Proposta:

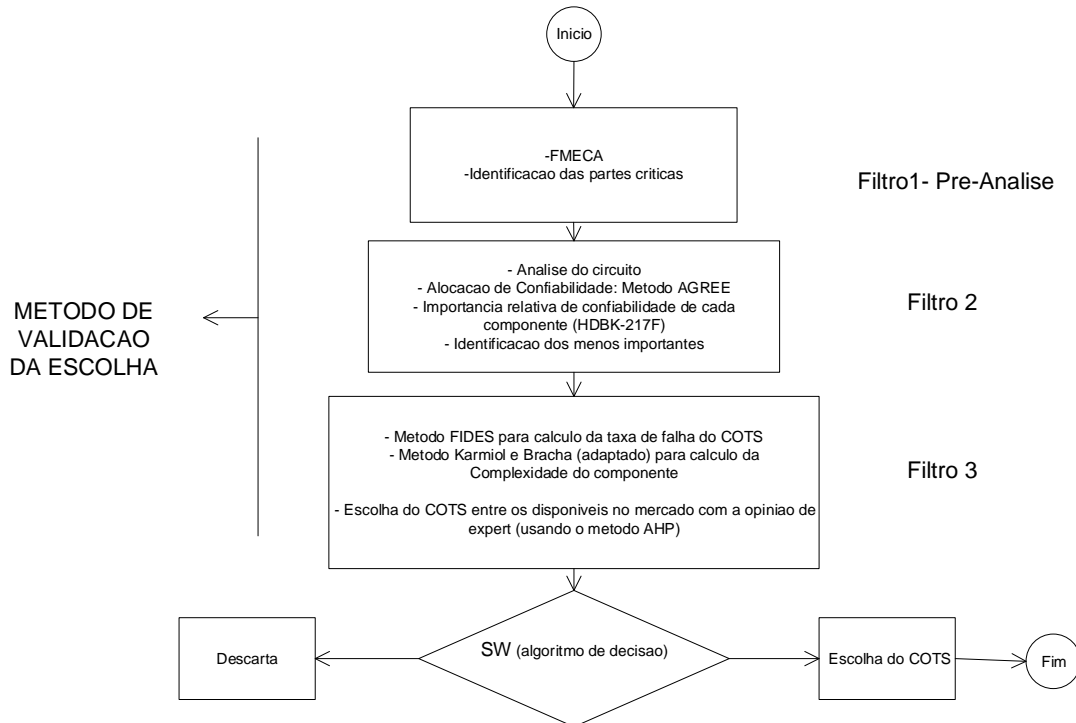
b) Metodologia para escolha do COTS.



continua

Figura 5.1 - Conclusão.

c ) Fluxograma Algoritmo de escolha do COTS.



Fonte: Produção do Autor.

O diagrama esquemático da Figura 5.1b detalha os métodos a serem utilizados para a escolha do COTS e referencia um estudo de caso considerando os riscos associados com a escolha e as possíveis mitigações ou condições de contorno para seu uso, a ser desenvolvido futuramente.

Os métodos que são apresentados na Figura 5.1b são:

- 1) FMECA que tem por objetivo indicar os prováveis componentes críticos do circuito e não tratá-los nessa metodologia (seleção previa);
- 2) FIDES que tem por objetivo calcular a taxa de falha dos componentes de interesse após uma análise de importância relativa de confiabilidade da placa ou cartão estudado;
- 3) AHP/WSM que tem por objetivo ser utilizada em caso de decisão entre um e outro componente similar, mas de fabricantes diferentes e suas particularidades no projeto;
- 4) Uma análise de Risco juntamente com custo e confiabilidade do componente em busca de um valor equilibrado;

5) Bloco maior chamado de tese é a demonstração da metodologia.

Como a solução passa por um algoritmo de escolha representado na Figura 5.1c uma breve descrição dos passos desse algoritmo é detalhada:

- 1) faz-se uma pré-análise do circuito de interesse através do método AGREE em se tratando de alocação de confiabilidade da unidade/cartão. Usa-se esse método, pois se considera a complexidade (N.: número de componentes) da unidade na fórmula do cálculo da taxa de falha sendo esse um fator a ser explorado na tese. Este requisito, usualmente, é um dado estimado e fornecido pela área de sistemas para a engenharia na concepção do projeto. A introdução do método AGREE se baseia na importância da unidade/subsistema e atribui-se um valor entre 0 e 1;
- 2) tendo a confiabilidade alocada para a unidade de interesse, faz-se uma análise da importância relativa de confiabilidade dos componentes do circuito que possam se candidatar a COTS. Com a identificação dos menos importantes ou com menor impacto na confiabilidade alocada do circuito, parte-se para a procura dos fabricantes (*datasheet*) dos respectivos COTS mapeados;
- 3) ainda, como complementação dessa análise, faz-se uma FMECA do circuito de interesse com o objetivo de apontar os componentes críticos que porventura a análise indique. E, dependendo da importância da unidade (Método AGREE) os componentes críticos apontados serão substituídos pelos de melhor nível de qualidade ou redundância se for possível;
- 4) em seguida faz-se uma analogia com o método Karmio/Bracha tendo como foco apenas a complexidade do componente. Entende-se que esse fator/índice é mais preponderante nas taxas de falha do COTS e utiliza-se esse índice para enrijecimento (rigidez) no cálculo;
- 5) aplica-se o guia FIDES para o cálculo da taxa de falha do COTS considerando os mecanismos físicos de falha associados ao perfil de vida do componente ao longo de sua aplicação;

- 6) fecha-se o loop do algoritmo verificando se a taxa de falha do COTS, ainda, atende à confiabilidade alocada da unidade, caso contrário, escolhe-se outro COTS similar de outro fabricante;
- 7) finalizando-se essa análise nos casos irremediáveis da utilização específica de um determinado COTS com poucas informações e incertezas sobre sua qualidade, inicia-se uma bateria de testes/inspeções elencadas segundo o padrão/norma ECSS-Q-ST-60-13C classe 3 com uma análise de otimização baseada em custo x risco x confiabilidade, tendo como um dos parâmetros da confiabilidade a complexidade do COTS associado ao risco e custo.

### **5.3.1 Método AGREE**

Apresenta-se o método AGREE [24].

De posse do número ou figura de confiabilidade do sistema/satélite em estudo após detalhamento do objetivo da missão, parte-se para o procedimento sugerido.

Usa-se o método de alocação de confiabilidade chamado método AGREE que é baseado na complexidade da unidade ou subsistema ao invés da taxa de falha, ou seja, a complexidade está associada ao número de componentes existentes na unidade. A importância ou essencialidade da unidade define quantitativamente a relação entre a unidade e a taxa de falha do sistema almejado e é considerada, explicitamente, na fórmula de alocação AGREE.

A fórmula de alocação é usada para determinar o tempo médio mínimo aceitável de cada unidade de modo a satisfazer a confiabilidade mínima aceitável do sistema. A premissa parte de que a unidade dentro do sistema tem uma taxa de falha independente e opera em série em relação a seus efeitos no sucesso da missão.

A complexidade da unidade é definida em termos do número de módulos (módulos = componentes) e circuitos associados onde um módulo pode ser uma válvula, um transistor ou um amplificador magnético. Diodos representam  $\frac{1}{2}$  módulo.

O fator de importância/essencialidade da unidade é definido em termos de probabilidade de falha do sistema/unidade caso uma unidade particular falhar. Se o fator de importância de uma unidade é 1 a unidade deve operar satisfatoriamente para que o sistema opere satisfatoriamente, por outro lado, se o fator é 0 então a falha da unidade considerada não interfere na operação satisfatória do sistema.

A base específica da alocação é exigir que cada módulo faça uma contribuição igual para o sucesso da missão, ou seja, o requisito equivalente seria que cada módulo tivesse a mesma vida média ou taxa de falha esperada.

Modelo matemático para o método considerando a aproximação:

$$e^{-x} = 1 - x \quad (5.1)$$

Onde:

$x$  é um valor muito pequeno ( $10^{-6}$ ) e menor que 1, estamos falando de taxa de falha ( $1/10^6$ h).

A taxa de falha alocada da  $j$ th unidade é mostrada no AGREE:

$$\lambda_j = \frac{n_j[-\log_e R^*(T)]}{NE_j t_j} \quad (5.2)$$

Onde:

$n_j$  = número de módulos (módulo = componente eletrônico) do subsistema/unidade,  $j$ th;

$N$  = n. total de componentes do sistema;

$E_j$  = Fator de importância do módulo  $j$ th;

$t_j$  = n. de horas da  $j$ th unidade que será exigido para operar  $T$  horas (tempo de missão)  $0 < t_j$  (duty cycle)  $\leq T$ .

A confiabilidade  $R(t_j)$  alocada para a  $j$ th unidade (subsistema) em  $t_j$  (duty cycle) em horas, é dada por:

$$R(t_j) = 1 - \frac{1 - [R(T)]^{n_j/N}}{E_j} \quad (5.3)$$

Nota: O método relata precaução contra o uso na fórmula de unidades com baixa importância, o qual, se incluída distorcerá a alocação.

No caso do Tancredo (Tubesat) -, por exemplo, o estudo de caso que será recorrente ao longo do trabalho, temos:

Na Tabela 5.1, um resumo dos parâmetros de interesse para alocação de confiabilidade pelo método AGREE:

- a) Os subsistemas que compõem o Tubesat e as quantidades respectivas dos seus componentes ( $n_j$ ) de acordo com os circuitos eletrônicos projetados (Esquemas elétricos);
- b) O tempo de operação estimado para a carga útil (Sensor Langmuir),  $t_j = 8760h$ ;
- c) A essencialidade ou importância de cada unidade/subsistema ( $E = 1$ ), ou seja, a importância de cada unidade (subsistema) é vital para o sucesso da missão.



Tabela 5.1 - Atribuição de confiabilidade alocada.

Sistema: (Payload) Langmuir Probe - (Tubesat - Tancredo)				
Missão primaria: Medição de Plasma				
Requisito de confiabilidade: $R^*(8760 \text{ hr}) = 0.90$				
Subsistema	Número de partes, $n_j$	Tempo de Operação, hr, $t_j$	Essencialidade, $E_j$	Confiabilidade de Alocada, $R_i(t_j)$
<b>Suprimento de energia</b>	<b>81</b>	<b>8760</b>	<b>1</b>	<b>0.95</b>
Transmissor/Receptor	46	8760	1	0.97
Controle de Atitude	48	8760	1	0.97
Antena	7	8760	1	0.99
N = 182				

Fonte: Produção do Autor.

Então, tem-se para o caso do subsistema de potência do Tancredo (Tubesat):

$$n_j=81$$

$$N = 182$$

$$E_j = 1$$

$$t_j=8760\text{h}$$

Para o subsistema de potência (em negrito), e todos os outros subsistemas, a taxa de confiabilidade alocada considerando uma confiabilidade para o sistema todo de  $R(t)= 0.9$ , é:

$$R_1(8760) = 1 - \frac{1 - (0.9)^{81/182}}{1.0}$$

$$R_2(8760) = 1 - \frac{1 - (0.9)^{46/182}}{1.0}$$

$$R_3(8760) = 1 - \frac{1 - (0.9)^{48/182}}{1.0}$$

$$R_4(8760) = 1 - \frac{1 - (0.9)^{7/182}}{1.0}$$

$$\mathbf{R_1(8760) = 0.95}$$

$$R_2(8760) = 0.97$$

$$R_3(8760) = 0.97$$

$$R_4(8760) = 0.99$$

$R(8760) = R_1 R_2 R_3 R_4 = 0.885 \sim 0.89$  (supõe-se que todos os subsistemas estão em série)

Uma vez definida a confiabilidade alocada para a unidade de interesse no sistema, partimos para análise de FMECA com o objetivo de revelar componentes críticos do ponto de vista de falha para a missão.

### 5.3.2 FMECA

Apresenta-se a seguir os conceitos estabelecidos pelo padrão/norma ECSS-Q-ST-30-02C [25].

A FMECA (*Failure modes Effects and Criticality Analysis*) é uma atividade iterativa e uma ferramenta efetiva no processo de tomada de decisão.

A FMECA é um FMEA estendido para classificar possíveis modos de falha de acordo com a criticidade, isto é, a medida combinada da severidade dos modos de falha e sua probabilidade de ocorrência.

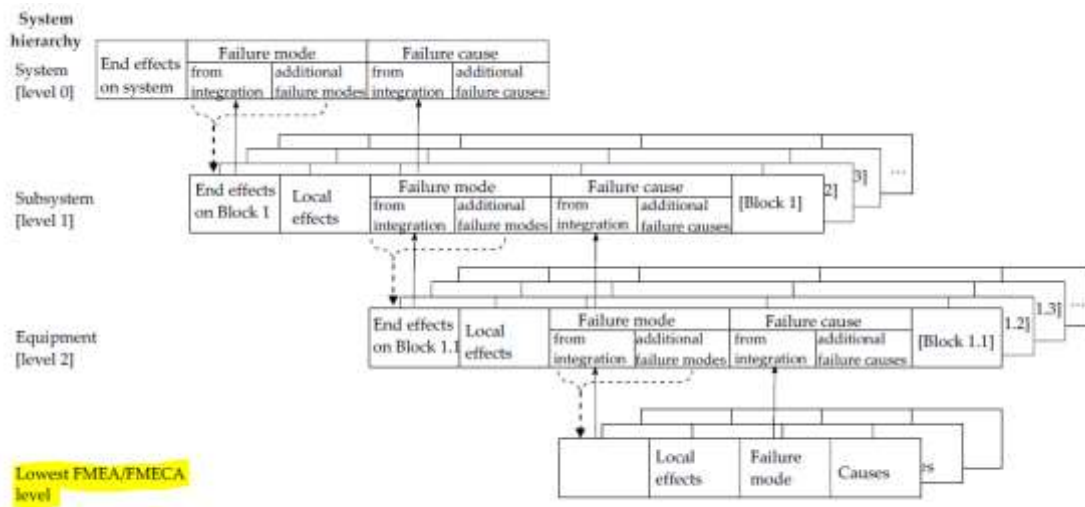
A FMECA pode ser iniciada em qualquer nível de integração, dependendo das informações disponíveis e dos requisitos de missão. O nível da análise se aplica ao nível em que os efeitos da falha são avaliados. Em geral, uma FMECA não precisa ser executada abaixo do nível necessário para identificar

os itens e requisitos críticos para melhorias no projeto. Portanto, uma decisão sobre o nível mais apropriado depende dos requisitos específicos da missão.

Na Figura 5.2 são apresentados os níveis hierárquicos na composição de um sistema e os efeitos decorrentes dos modos de falha no nível de interesse.

O nível mais baixo na figura em hachura indica componentes, onde se fará a análise de FMECA.

Figura 5.2 – Representação gráfica dos requisitos de Integração.



Fonte: Adaptado de [25].

### **5.3.2.1 Classificação de criticidade:**

- a) um número de severidade (SN) deve ser fornecido para cada modo de falha assumida. O SN deve ser consistente com categoria da severidade atribuída ao modo de falha. A existência de redundância afeta a classificação da severidade. Portanto, o número da severidade é relevante. Os números mais altos devem indicar as categorias mais graves;
- b) as probabilidades de ocorrência do modo de falha devem ser agrupadas em níveis que estabeleçam o nível qualitativo de probabilidade de falha para a entrada na coluna da planilha descrita na Tabela 5.2;
- c) o número de criticidade (NC) para um modo de falha específico deve ser derivado da severidade do efeito da falha e a probabilidade de ocorrência do modo dessa falha.

Nas Tabelas 5.3 e 5.4 temos um resumo da análise de FMECA onde se verifica os níveis de ocorrência da falha, os limites de probabilidade e os pesos atribuídos e completando com uma matriz de criticidade onde se condensa a severidade da falha e seu peso juntamente com a sua probabilidade de ocorrência (SN e PN)

Na Tabela 5.5 resume-se uma análise de FMECA para uma placa de potência do Tubesat (estudo de caso) e alguns componentes ativos de interesse, destacando-se o componente U11 – Conversor DC/DC (conforme a seta) como crítico.

Tabela 5.2 - Consequência da severidade.

<b>Nível de montagem de Equipamento/Subsistema - FMECA</b>		
Categoria da Severidade	Nível de severidade	Efeito da Falha
Catastrófico	1	Perda de vida e risco de vida ou permanentemente lesão incapacitante ou doença profissional. Perda de um sistema de voo tripulado. Efeitos ambientais prejudiciais graves. Perda das instalações do local de lançamento. Perda de sistema.
Crítico	2	Lesões temporárias incapacitantes, mas não fatais, ou doenças ocupacionais temporárias; Efeitos ambientais prejudiciais em curto prazo; Perda ou grandes danos à propriedade pública ou privada; Perda de sistemas de interface de voo. Perda de instalações terrestres
Maior	3	Degradação da missão
Menor ou Negligenciável	4	Degradação da missão ou Qualquer outro efeito

Fonte: Adaptado de [25].

Nota: As linhas destacadas resumem as categorias e os níveis de severidade das falhas que serão abordadas no estudo de caso.

Tabela 5.3 – Exemplo de níveis de probabilidade e limites (PN).

Level	Limits	PN
Probable	$P > 1E-1$	4
Occasional	$1E-3 < P \leq 1E-1$	3
Remote	$1E-5 < P \leq 1E-3$	2
Extremely remote	$P \leq 1E-5$	1

Fonte: [25].

Tabela 5.4 – Matriz de criticidade.

Severity category	SNs	Probability level			
		$10^{-5}$	$10^{-3}$	$10^{-1}$	1
		PNs			
		1	2	3	4
catastrophic	4	4	8	12	16
critical	3	3	6	9	12
major	2	2	4	6	8
negligible	1	1	2	3	4

Fonte: Adaptado de [25].

Tabela 5.5 – Análise do conversor DC/DC – FMECA.

Efeitos dos Modos de Falha e Análise de Criticalidade - FMECA												
Produto: Sat. Tancredo Tubesat			Sist.: Power		Subsistema: Power			Equipamento/PCA: (1/2)				
Id.	Item/bloco	Função	Modo de falha	Causa da falha	Fase missão/modo de oper.	Efeitos da falha a) Local: b) Final:	Classif./severidade	Método de detecção/sintomas	Severidade/SN	Probabilidade/PN	Criticalidade/CN	Obs.
1	U11	Conversor DC/DC	Curto e aberto	Sobre tensão ou curto na saída	Voo	a) $V_s=0$ b) $V_{bus}=0$	2	TM/consumo de corrente	2	3	6	Limiar p/ser IC
2	U9	Regulador	Curto e aberto	Curto na saída ou aberto na saída	Voo	Curto, $V_s=$ desregulado $V_{bus}=$ desregulado	2	TM/consumo de corrente	2	2	4	
3	U12	Conv. A/d	Curto e aberto	Sobre tensão ou curto na saída	Voo	Curto, $V_s=0$ $V_{bus}=0$	2	Sem TM	2	2	4	

Fonte: Adaptado de [25].

Após o levantamento dos componentes críticos da placa, e retirados da análise de substituição por COTS, inicia-se o processo de busca dos prováveis componentes de acordo com a sua importância relativa de confiabilidade no circuito do subsistema segundo o método sugerido.

Cabe ressaltar que, em alguns casos por motivos de prazo e custo ou impedimento do fabricante, dá-se um tratamento alternativo complementar de testes para o COTS candidato a substituição.

### **5.3.3 Importância Relativa da confiabilidade da unidade**

Faz-se um levantamento da importância relativa de cada componente da placa. Desse modo consegue-se mapear os de menor importância em termos de impacto na confiabilidade alocada da unidade, e com isso, inicia-se a busca dos prováveis COTS que poderão substituir, os de menor importância.

Na Tabela 5.6 mostra-se uma relação de componentes de uma das placas de potência do Tubesat (Tancredo) cuja quantidade de componentes está relacionado com a Tabela 5.1 (nj)

Como esclarecimento da Tabela 5.6, segue explicações:

- a) A primeira linha da tabela refere-se a identificação do componente, descrição, fabricante, ref. na placa montada, tipo de componente, quantidade, taxa de falha (HDBK-217F) e importância relativa (%) da taxa de falha do componente em relação a taxa de falha da placa ( $\Sigma$ );
- b) A importância relativa do componente na última coluna informa o seu impacto em termos de confiabilidade da placa

Tabela 5.6 - Importância relativa da taxa de falha dos componentes da placa de Potência (1/2).

Digi-Key Part Number	Manufacturer Part Number	Descrição do Componente	Ref.	Categoria	Qty	Taxa de Falha - (λ) 1	%
709-1279-1-ND	5D1R18W221KV4E	Cap.Ceramic 5M 220pF 1206	C1	Capacitor	1	0.00387	1,290
1276-3047-1-ND	CL31A226KAHNNNE	Cap. Ceramic 5M 22uF 1206	C4	Capacitor	1	0.00396	1,280
399-5507-1-ND	C1206C475K5PACTU	Cap.Ceramic 5M 4,7uF 1206	C2,C5,C6	Capacitor	3	0.02085	6,642
478-3351-1-ND	08055C104MAT2A	Cap.Ceramic 5M 0.1uF 0805	C7	Capacitor	1	0.04932	12,887
1276-1068-6-ND	CL31B105KBHNNNE	Cap.Ceramic 5M 1uF 1206	C8,C9	Capacitor	2	0.04788	19,394
478-3351-1-ND	08055C104MAT2A	Cap. Ceramic 5M 0.1uF 0805	C10	Capacitor	1	0.027	8,690
CR506QMACT-ND	CR506(TE8SLCLM)	Diode CR5 06 SCHOTTKY 1A	D1 a D9	Diode	9	0.0288	2,813
RE246254103M Farnell	BB2462G4103M000 EPCOS	10 uH Inductor 10 X10	L1	Indutor	1	0.00092	0,294
311-15ARCT-ND	RC0805JR-071RSL	Resistor, 0805 1R5 Ohm	R1 a R8	Resistor	8	0.0015	1,119
311-470KERCT-ND	RC1206JR-07470KL	Resistor, 1206 470 KOhm	R9	Resistor	1	0.001732	0,554
311-27KERCT-ND	RC1206JR-0727KL	Resistor, 1206 27 KOhm	R10	Resistor	1	0.001575	0,503
311-12KERCT-ND	RC1206JR-0712KL	Resistor, 1206 12KOhm	R12	Resistor	1	0.001575	0,503
311-47KERCT-ND	RC1206JR-0747KL	Resistor, 1206 47KOhm	R13	Resistor	1	0.001575	0,503
311-180KERTR-ND	RC1206JR-07180KL	Resistor, 1206 180KOhm	R16	Resistor	1	0.001732	0,554
311-100KERCT-ND	RC0805FR-07100RL	Resistor, 0805 100 Ohm	R20	Resistor	1	0.001575	0,503
MAX9929FAUA+-ND	MAX9929FAUA+	CI MAX9929FAUA Current SENSE AMP	U1 a U8	Current Sense	8	0.0581	18,570
LT3021ES88TRPBF-ND	LT3021ES88TRPBF	CI LT3021 V REG, LDO ADJ	U9	Regulador	1	0.0581	18,570
LM2731XMF/NOPBCT-ND	LM2731XMF/NOPB	CI LM2731XMF BOOST CONV, 0.6/1MHZ	U11	Conversor DC/DC	1	0.42	6,395
MAX1112EAP+-ND	MAX1112EAP+	MAX1112EAP	U12	Conversor A/D	1	0.0098	3,132
			Ap da Placa	Σ =		0.312864	

Fonte: [26].

Dos componentes ativos de interesse que podem ser COTS baseados na importância de cada um em termos de confiabilidade relativa da placa, tem-se:

- 1) CRS06 Diodo retificador – D1-D9 (2.81%);
- 2) MAX1112EAP – U12 Conversor A/D (3.13%);
- 3) **LM2731XMF BOOST CONV, 0.6/1 MHz – U11 Conversor DC/DC (6.39%);**
- 4) LT3021 V REG, LDO ADJ – U9 Regulador (18.5%);

Por exemplo, U11 – o conversor DC/DC pode ser o componente de interesse para a escolha de um COTS, considerando alguns aspectos relativos da sua importância no circuito do subsistema/unidade de potência. A escolha deve-se à importância relativa da confiabilidade do subsistema/unidade e à necessidade de uso (prazo e custo), vide destaque na Tabela 5.6.

Convém observar, que pela indicação dos menos importantes a sequência enumerada anteriormente deve ser seguida. Nesse caso, a escolha do conversor DC/DC foi intencional para demonstrar posteriormente um tratamento alternativo com testes/inspeções a ser sugerido, dado a necessidade do seu uso.



Outra observação importante com relação à placa de potência escolhida é que a nossa amostra de componentes ativos para o tratamento é pequena, pois se está tratando de um Picosat, o que não desqualifica o processo.

Portanto, o próximo passo dessa metodologia seria a busca de opções de conversores DC/DC no mercado de componentes que atendessem aos requisitos funcionais termoelétrico-mecânicos e ambientais do projeto.

Para tal, a principal tarefa é estimar a taxa de falha desse componente para verificar a possibilidade de uso no circuito desejado.

Cabe a pergunta: Mas qual seria a vantagem dessa proposta se já foi possível estimar a taxa de falha via HDBK-217 para um componente similar (Militar ou Cots)?

Então, aqui se procura demonstrar que o cálculo da taxa de falha via guia FIDES utilizando os mecanismos de falha físicos durante as fases de vida do componente, apresenta resultados mais consistentes, dado a granularidade (resolução) do método. O guia FIDES tem apresentado valores mais realistas e, portanto, deve ser substituído no cálculo anterior da placa usada como exemplo para verificar se o valor ainda atende à taxa de falha alocada para o circuito em questão.

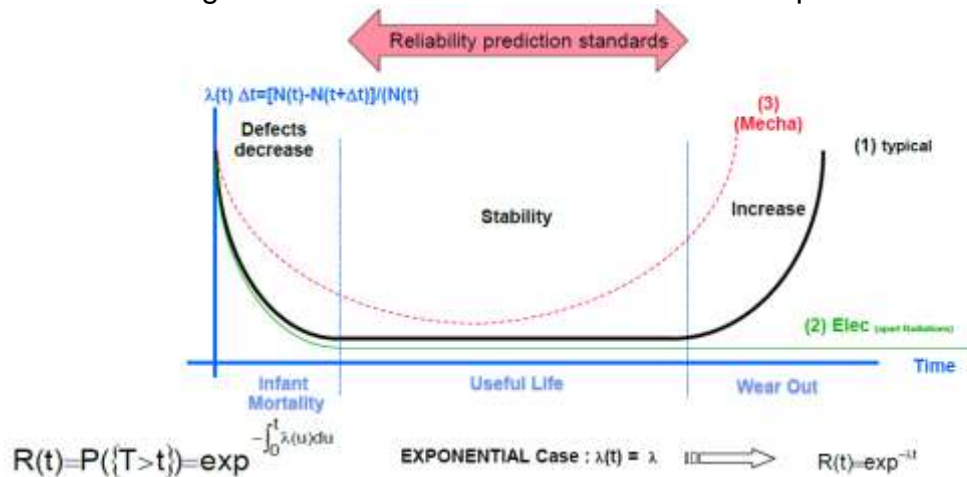
Foram usados, ainda, para o cálculo da taxa de falha esses dois guias FIDES e HDBK-217, pois, o escopo deste trabalho e os algoritmos desenvolvidos para o cálculo de taxa de falha se resumem, por enquanto, para Semicondutores, Circuitos Integrados (analógico e digital) e conversor DC/DC.

#### **5.3.4 Levantamento da taxa de falha de um COTS segundo o GUIA FIDES**

Segue a Metodologia de confiabilidade para sistemas eletrônicos FIDES [18]

O modelo de avaliação da FIDES propõe uma previsão de confiabilidade com taxas de falha constantes. Portanto, a probabilidade de falha é independente do número de horas de um componente em operação. Isso significa que apenas falhas aleatórias durante o tempo de vida de um componente são consideradas e que falhas prematuras (mortalidade infantil) e falhas por desgaste não são incluídas.

Figura 5.3 - Curva de confiabilidade de componentes.



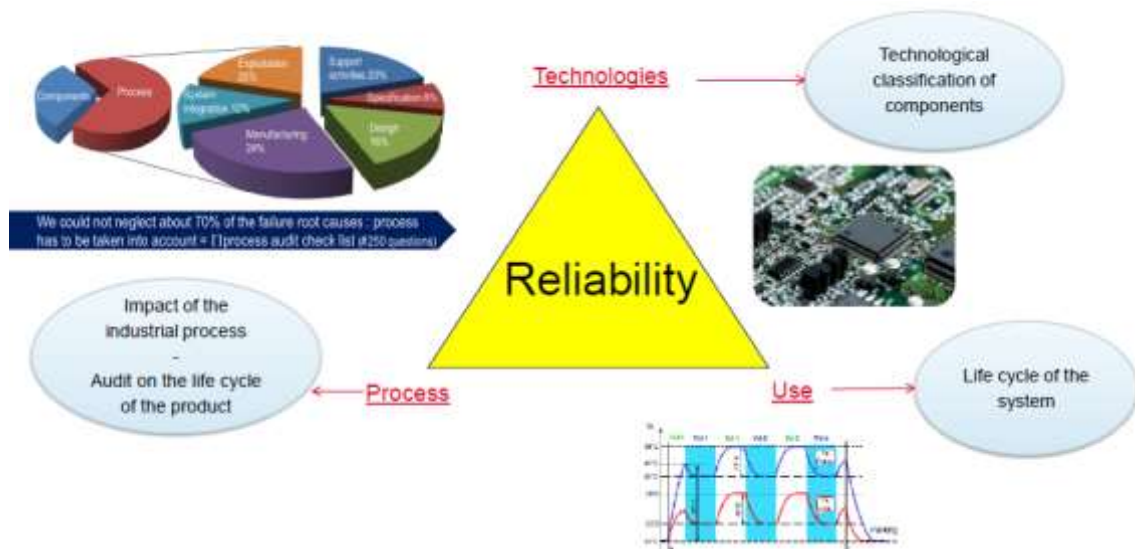
Fonte: [18].

Essa metodologia para avaliação da confiabilidade nos componentes eletrônicos tem duas componentes:

- guia de previsão da confiabilidade dos componentes;
- controle de processo de confiabilidade e guia de auditoria.

Embora, os modelos de previsão de componentes permitam o cálculo das taxas de falha com base nas características dos componentes e nos dados relacionados à aplicação (por exemplo, estresse térmico e elétrico aplicado), o guia de controle e auditoria do processo de confiabilidade avalia a qualidade de fabricação do componente e os efeitos de todos os processos, durante todo o ciclo de vida desde a fase de especificação do projeto até às atividades de manutenção e suporte. O Guia FIDES visa permitir uma avaliação realista da confiabilidade de equipamentos eletrônicos, incluindo sistemas que operam em ambientes severos (sistemas de defesa, aeronáutica, eletrônica industrial, transporte etc.).

Figura 5.4 - Método FIDES: O que é, e porque é considerado para aplicação espacial.



Fonte: [18].

O modelo geral do Guia FIDES é expresso pela equação:

$$\lambda = \lambda_{physical} * \Pi_{PM} * \Pi_{Process}$$

A taxa de falha global de um produto eletrônico (equipamento) antes de qualquer redundância ou consideração de arquitetura é obtida somando as taxas de falhas dos itens constituintes:

$$\lambda_{produto} = \left( \sum_{\text{Itens}} \lambda_{\text{Itens}} \right)$$

Ou de outra forma:

$$\lambda_{produto} = \left( \sum_{\text{Parte}} \lambda_{\text{Parte}} + \sum_{\text{PCB}} \lambda_{\text{PCB}} + \sum_{\text{Board}} \lambda_{\text{Cots board}} + \sum_{\text{O-SA}} \lambda_{\text{O-SubAssembly}} \right)$$

O Fator que contribui física e tecnologicamente é o  $\lambda_{physical}$

Ele é desmembrado em diferentes sub contribuições, conforme o modelo:

$$\lambda_{physical} = \left[ \sum_{\text{Physical Contrib}} (\lambda_0 * \Pi_{Acceleration}) \right] * \Pi_{Induced}$$

Onde:

- a) Os termos entre os colchetes representam a contribuição dos estresses normais;
- b) já o  $\Pi_{Induced}$  representa a contribuição dos fatores induzidos (também chamado *overstress*) referentes ao campo de aplicação do item;
- c) o  $\lambda_0$  é a taxa de falha básica do item;
- d) o  $\Pi_{Acceleration}$  é o fator de aceleração que traduz a sensibilidade do item na condição de uso;
- e) as características tecnológicas de um item são levadas em conta do seguinte modo: diretamente pela escolha do  $\lambda_0$  e pela presença dos parâmetros na expressão do  $\Pi_{Acceleration}$  ;
- f) o  $\Pi_{Acceleration}$  é desmembrado em vários estresses físicos. O estresse físico é qualquer estresse normalmente aplicado ao produto/item durante o seu uso operacional incluindo aspectos relacionados ao projeto. Os estresses físicos são agrupados em diferentes famílias:
- Thermal  $\Pi_{Thermal}$
  - Electrical  $\Pi_{Electrical}$
  - Temperature cycling  $\Pi_{TCy}$
  - Mechanical  $\Pi_{Mechanical}$
  - Humidity  $\Pi_{RH}$
  - Chemical  $\Pi_{Chemical}$

Os fatores induzidos de origem considerados são: mecânico (MOS), elétrico (EOS) e o térmico (TOS).

O fator  $\Pi_{Induced}$  representa a contribuição de *overstress* e é calculado para cada fase do ciclo de vida do produto/item.

### **Temperatura (Estresse Termoelétrico)**

Física da falha e modelo

A lei de Arrhenius é usada para modelar a aceleração de alguns mecanismos de falha devido à temperatura.

O fator de aceleração é escrito como segue:

$$AF = e^{Ea/Kb[\frac{1}{T1} - \frac{1}{T2}]}$$

onde:

AF: Fator de aceleração;

Ea: Energia de ativação;

Kb: Constante de Boltzmann`s:  $8.617 \times 10^{-5}$  eV/K;

T<sub>1</sub>:Temperatura de referência;

T<sub>2</sub>:Temperatura de aplicação.

Mecanismos de falha ativados pela operação elétrica de um componente leva em consideração a dissipação térmica no cálculo da temperatura de aplicação (temperatura de junção para componentes ativos), adicionando-se a razão entre as voltagens nominal e aplicada no modelo. Por exemplo, o fator de aceleração torna-se:

$$AF = \left( \frac{1}{S_{reference}} \times \frac{V_{applied}}{V_{rated}} \right)^p e^{11604 \times Ea \times \left[ \frac{1}{273+T0} - \frac{1}{(T_{ambient}+273)} \right]}$$

onde:

T<sub>ambient</sub>: temperatura de trabalho;

T<sub>0</sub>: temperatura de referência;

V<sub>applied</sub>: Voltagem de trabalho;

V<sub>rated</sub>: Voltagem nominal;

S<sub>reference</sub>: nível de referência para o estresse elétrico;

p: coeficiente de aceleração de potência para o estresse elétrico.

O valor da energia de ativação **Ea** depende da tecnologia considerada.

**As condições de referências são:**

T<sub>0</sub> = 20° C

Nível de estresse elétrico definido em função da tecnologia, quando necessário.

### **Domínio de aplicação:**

A predição de confiabilidade é somente aplicável na faixa de temperatura que o componente foi qualificado. A faixa de temperatura teórica no qual o guia FIDES é aplicável é:  $-55^{\circ}\text{C} \leq T_{\text{amb}} \leq +125^{\circ}\text{C}$ .

### **Quantificação dos parâmetros**

Os seguintes dados de entrada são exigidos para cada fase considerada:

- a) temperatura ambiente  $T$  ( $^{\circ}\text{C}$ );
- b) o estado do componente (*on/off*) (o estresse térmico, normalmente, não é aplicado, quando no estado *off*).

Nota: a temperatura ambiente considerada no modelo é aquela na qual o componente se encontra (na PCB, na condição: *on/off*) ou mesmo armazenado, em condições controladas de temperatura e umidade.

### **Ciclagem térmica e física da falha**

Esse estresse está associado com a ciclagem térmica do componente, observando se ele está no modo funcional ou dormente, considerando as variações de temperatura relacionadas ao estado do componente (*on/off*) e do ambiente ao seu redor.

### **Modelo e física da falha**

O modelo de Norris- Landzberg é usado para modelar a aceleração sobre o mecanismo de fadiga devido à variação de temperatura. Esse modelo é derivado do modelo Coffin-Manson, normalmente, usado para fadiga termomecânica. Ele leva em consideração o fato de os ciclos de temperaturas mais baixas serem mais danosos, devido à ativação do fenômeno *creep* para as soldas. O modelo Norris-Landzberg foi especificamente modificado para o guia FIDES para converter a predição usual do modelo (n. de ciclos) para fator de aceleração que pode ser usado para modificar a taxa de falha.

O fator de aceleração é escrito:

$$AF = \left( \frac{24}{N_0} \times \frac{N_{cy\_annual}}{T_{annual}} \right) \times \left( \frac{\min(\theta_{cy}, 2)}{\min(\theta_0, 2)} \right)^p \times \left( \frac{\Delta T_{cycling}}{\Delta T_0} \right)^m \times e^{1414 \left[ \frac{1}{273+t_0+\Delta t_0} - \frac{1}{(t_{max\_cycling}+273)} \right]}$$

onde:

$N_{cy\_annual}$ : Número de ciclos anuais;

$N_0$ : Número de ciclos de referências;

$T_{annual}$ : Duração da fase em horas;

$\theta_{cy}$ : Duração do ciclo em horas;

$\theta_0$ : Duração do ciclo de referência;

$\Delta T_{cycling}$ : Amplitude térmica do ciclo;

$\Delta T_0$ : Amplitude térmica de referência do ciclo;

A constante 1414 corresponde a energia de ativação de 0.122eV;  $1414 = 0.122/K_B$ ,  $K_B$  e a constante de Boltzmann =  $8.617 \times 10^{-5}$  eV/K;

$T_{max\_cycling}$ : Temperatura máxima atingida no ciclo;

$T_0$ : Temperatura de referência;

$m$ : Coeficiente de fadiga, por exemplo,  $m=1.9$  para fadiga de solda estanho/chumbo;

$p=1/3$ , potência de aceleração do fator de duração.

Nota: o modelo de ciclagem de temperatura não lida com choque de temperatura.

### **Condições de referência**

Amplitude do ciclo  $\Delta T_0$  de 20° C;

frequência do ciclo  $N_0$  de dois ciclos por dia;

duração do ciclo  $\theta_0$  de 12 horas;

temperatura máxima  $T_{max\_cycling}$  chamado  $(T_0+\Delta T_0)$  de 40° C

## Domínio de aplicação

A faixa teórica para o ciclo de temperatura do guia FIDES é:  $\Delta T_{\text{cycling}} \leq 180^\circ \text{ C}$ ;  
 $T_{\text{max\_cycling}} \leq 125^\circ \text{ C}$ .

## Parâmetros de quantificação

Os seguintes dados de entrada são exigidos para cada fase considerada:

- a) amplitude de temperatura do ciclo  $\Delta T$  ( $^\circ \text{ C}$ );
- b) número de ciclos em um ano (quantidade);
- c) duração do ciclo  $\theta_{\text{cycle}}$  (horas);
- d) temperatura máxima no ciclo ( $^\circ \text{ C}$ );
- e) as seguintes regras devem ser aplicadas para fornecer uma descrição representativa dos ciclos de temperatura;
- f) os ciclos são avaliados de uma temperatura de referência do equipamento/componente. Por exemplo, estado dormente (*off*);
- g) o ciclo normalmente corresponde à excursão de temperatura  $\Delta T$  medido na direção da temperatura inicial, o ciclo de duração  $\theta_{\text{cycle}}$  termina ao voltar a temperatura inicial.

## Umidade Relativa

O modelo Peck's é usado para modelar a aceleração dos mecanismo de falha relativo à combinação da temperatura e umidade:

$$AF = \left( \frac{RH_{\text{ambient}}}{RH_0} \right)^p \times e^{11604 \times Ea \times \left[ \frac{1}{(273+T_0)} - \frac{1}{(T_{\text{amb}}+273)} \right]}$$

onde:

$RH_{\text{ambient}}$ : Umidade relativa do ambiente considerado;

$RH_0$ : Umidade relativa de referência;

$T_{\text{ambient}}$ : Temperatura ambiente considerada;

$T_0$ : Temperatura de referência;

$Ea$ : Energia de ativação;

$p$ : potência de aceleração para esse estresse.



### Condições de referência

Umidade relativa  $RH_0$  70%;

Temperatura ambiente  $T_0$  20° C.

### Domínio de aplicação

A faixa de validade teórica e de 0% a100%.

Casos de condensação e congelamento não são considerados.

### Quantificação dos parâmetros

Os seguintes dados de entrada são exigidos para cada fase considerada

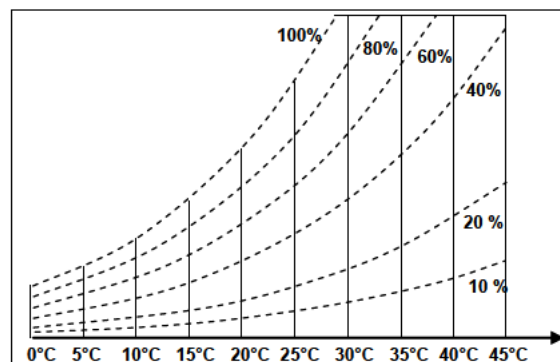
Umidade relativa RH (%);

Temperatura ambiente T (° C);

Estado - *On/Off* (na maioria dos casos o estresse de umidade não é aplicado durante o funcionamento).

O fator de umidade relativa pode se tornar preponderante em perfis de vida que inclui longos períodos de estocagem. Em tais casos, cuidados especiais devem ser tomados na determinação dos valores de umidade e temperatura.

Figura 5.5 – Diagrama Hidrotérmico.



Fonte: [18].

Nota: a influência da temperatura é maior (através da umidade) quando em funcionamento (estado: *On*).

### Amplitude da vibração (estresse mecânico)

Modelo e física da falha.

A lei de Basquins fornece um meio de levar em conta o fato de que com o aumento da amplitude das vibrações o risco de falha no componente e cartão eletrônico também aumenta. Existe uma grande variedade de mecanismos de falha e nem todos são mecanismos de fadiga para o qual a lei de Basquin é usada. Em alguns casos, a vibração revelará fraqueza tais como: solda fria, trinca no componente (substrato, encapsulamento), problemas de colagem nas interfaces (defeito de colagem, de laminação), onde partículas metálicas aparecem em encapsulamento selados hermeticamente, vibrações aumentarão o risco de curto-circuito com o movimento das partículas. Além disso, se o mecanismo de falha está associado ao de fadiga, existe uma grande variedade de materiais que podem degradar (alumínio, cobre, silício, epóxi, vidro cerâmica, etc.),

$$AF = \left( \frac{G_{rms}}{G_{rms0}} \right)^p$$

onde:

$G_{rms}$ : Raiz quadrada da amplitude de vibração no ambiente considerado;

$G_{rms0}$ : Amplitude de vibração de referência;

$p$ = potência de aceleração para o estresse mecânico;

O coeficiente de aceleração derivado da lei de Basquins para o modelo FIDES é  $p=1.5$  esse valor é o mais baixo possível na lei de Basquins.

Nota: O modelo não considera choques mecânicos.

### **Condições de referência**

Amplitude de vibração  $G_{rms0} = 0.5 G_{rms}$

### **Domínio de aplicação**

A faixa de validade teórica de  $G_{rms} \leq 40 G_{rms}$

Choque mecânico não é considerado.

### **Quantificação de parâmetros**

Amplitude da vibração randômica expressa em  $G_{rms}$

A amplitude de frequência deve ser considerada para o produto considerado no range de frequência relevante entre 20 -20000 Hz.

Quando considerando a falha física sob vibração, a amplitude da vibração sobre o elemento estressado, leva-se em conta, por exemplo:

- a) a solda do componente no cartão;
- b) o pino do componente no furo passante;
- c) a solda de uma trilha metálica dentro de um relay;
- d) a colagem de um microcomponente dentro de um híbrido;

Mas, a amplitude de vibração no componente depende de uma série de fatores:

- e) amplitude de vibração na entrada do cartão;
- f) fator de amplificação na posição do componente;
- g) frequência de estresse em comparação com o modo de frequência natural do cartão;
- h) frequência natural do elemento estressado (em alguns casos).

#### **5.3.4.1 Sobre a taxa de falha ( $\lambda$ )**

O  $\lambda$  é expresso em unidades de FIT (falha no tempo), ou seja, falhas em  $10^9$  h.

A contribuição  $\lambda_{physical}$  é, então, subdividida em várias contribuições, geralmente, uma taxa de falha básica específica do componente  $\lambda_0$  que é multiplicada por fatores de aceleração indicando a sensibilidade às condições operacionais e ambientais de uso.

Esses fatores de aceleração refletem as restrições físicas aplicadas ao componente durante as fases operacionais e não operacionais e, também, incluem aspectos do projeto. As restrições físicas são classificadas em contribuições aditivas, como térmica, ciclagem térmica, mecânica, elétrica, umidade e química. Para algumas famílias de componentes, como resistores e capacitores, as restrições térmicas e elétricas são combinadas com uma restrição termoelétrica. O fator de fabricação da peça  $\Pi_{Part\_manufacturing}$  representa a qualidade do componente levando em consideração a garantia da

qualidade do fabricante, a garantia da qualidade do componente e também a experiência que o usuário do componente pode ter com o fabricante específico.

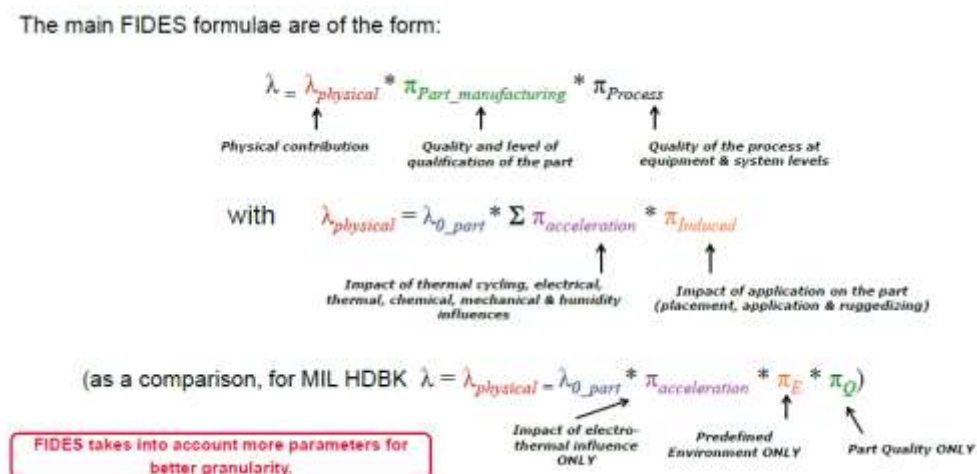
O fator de fabricação das peças varia de **0,5** para um fornecedor acima do estado da arte até **2** no pior caso, por exemplo, para um fabricante desconhecido. O fator  $\Pi_{Process}$  representa a qualidade e o controle técnico dos aspectos relevantes da confiabilidade durante o ciclo de vida do produto, incluindo especificação, design, produção, integração de sistemas, operação e manutenção de campo, além de atividades de suporte. Para avaliar o  $\lambda_{Process-factor}$ , uma auditoria no fabricante do equipamento/componente deve ser realizada. Portanto, a metodologia FIDES fornece um conjunto de recomendações cuja aplicação favorece a construção de sistemas confiáveis.

Essas recomendações são expressas num conjunto de **217** perguntas no total.

As respostas de uma empresa a essas perguntas servem para medir sua capacidade de construir sistemas confiáveis, quantificar os fatores de processo usados nos modelos de cálculo e identificar ações para melhoria. Como resultado da auditoria, o  $\lambda_{Process-factor}$  é determinado dentro de um intervalo de **1** (melhor processo) a **8** (pior processo). Se o  $\lambda_{Process-factor}$  não for determinado por uma auditoria, um valor padrão de **4** é proposto pela metodologia FIDES [18].

Na Figura 5.6 faz-se uma comparação entre os métodos e os parâmetros considerados.

Figura 5.6 - Formulação do método FIDES e comparação com MIL HDBK 217.



Fonte: [18].

A metodologia FIDES abrange itens que variam de um material eletrônico elementar como um componente a um módulo ou sub montagem eletrônica com uma função bem definida.

A cobertura das famílias de itens pela FIDES não é absolutamente exaustiva. No entanto, a cobertura é amplamente suficiente para fazer uma avaliação representativa da confiabilidade na maioria dos casos. A metodologia é aplicável aos itens COTS (*Commercial Off-The-Shelf*) para os quais foi desenvolvido inicialmente.

Portanto, a primeira coisa a ser feita é a obtenção da taxa de falha do componente.

Como esse dado, geralmente não é fornecido pelo fabricante de COTS, aplica-se o Guia FIDES com as fórmulas para o cálculo da taxa de falha, considerando os mecanismos de falha física e os fatores de qualidade associados ao fabricante, por meio dos questionários de auditorias, quando possível, se não utilizando os valores *default* sugeridos pelo método, sabendo-se de antemão da redução na precisão do valor encontrado.

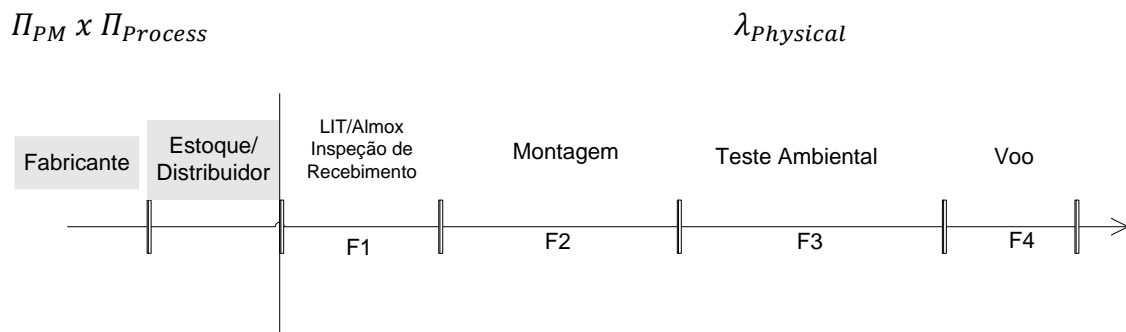
Introduz-se no cálculo final um fator de complexidade do componente, para aumentar a rigidez da confiabilidade do COTS.

Além disso, faz-se uma analogia com o método Karmiol/Bracha em nível de sistema, considerando as várias funções executadas pelo componente para encontrarmos essa taxa de falha e em seguida verificar se o valor encontrado não compromete a confiabilidade alocada para o Subsistema/Unidade.

#### **5.3.4.2 Fases**

As fases em que o componente ou placa montada serão submetidas ao longo do desenvolvimento e aplicação do subsistema/unidade são mostradas no modelo apresentado na Figura 5.7 e os respectivos tempos estimados para desenvolvimento de um pequeno satélite com base nos tempos verificados dos satélites desenvolvidos no INPE (Tubesat, AESP14, NanosatBr1, etc).

Figura 5.7 - Fases consideradas do ciclo de vida do componente para cálculo da taxa de falha.



Fonte: Produção do Autor.

F1 = 2 meses – (1460 h);

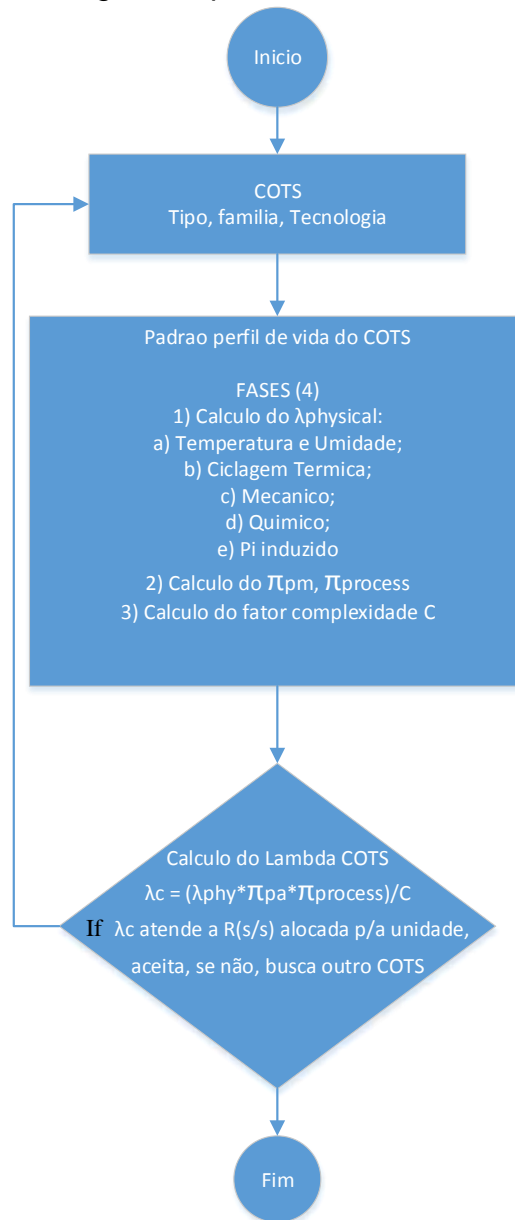
F2 = 4 meses – (2920 h);

F3 = 2 meses – (1460 h);

F4 = 24 meses (tempo de missão) – (17520 h).

As fases consideradas são as possíveis de estimar, e caracterizam os estresses físicos (elétrico, térmico e mecânico), aos quais as PCA's/componentes serão submetidas. As fases de fabricação e estocagem no distribuidor foram omitidas, pois, os dados necessários para o cálculo de falha durante esse período são de difícil acesso e supõe-se que os grandes fabricantes e distribuidores utilizam normas de controle e têm histórico de fabricação. Esses dados são, também, verificados e estimados nos questionários do Guia FIDES cujos resultados são apresentados nos apêndices A e B e podem ser decididos, se necessário, via AHP (processo hierárquico de análise) conforme exemplificado no Capítulo 8 e 9.

Figura 5.8 - Fluxograma do algoritmo para cálculo da taxa de falha do COTS.



Fonte: Produção do Autor.

**Fase 1:** Inspeção de recebimento e almoxarifado de voo.

Os componentes nessa fase passarão por uma inspeção de recebimento e alguns testes elétricos segundo as normas MIL e ECSS para verificação dos requisitos da qualidade do componente e estando de acordo serão enviados para o almoxarifado de voo. Nesses dois ambientes a temperatura, umidade, controle de partículas em suspensão e eletricidade estática são controladas.

Nessa fase os componentes estão embalados, identificados e acondicionados, praticamente não sofrem estresse físico.

Tabela 5.7 - Fase 1 perfil de vida do componente.

Padrão Perfil de Vida														
Fase 1 Inspeção de Receb. e Almox.	Tempo (Horas)	Temperatura e Umidade			Cicagem Térmica			Max. Temp. Durante o ciclo (°C)	Mecânico	Química				Induzido
		On/Off	Temp. Ambiente (°C)	Umidade Relativa (%)	$\Delta T$ (°C)	N. de Ciclos (/ano)	Duração Ciclo (horas)			Vibração Randômica (Grms)	Poluição Salina	Poluição Ambiental	Poluição Aplicação	
Stop	1440	Off	22	55	6	2	720	25	1	fraco	fraco	fraco	Non Hermetic	
Start	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a	

Fonte: Adaptado de [18].

**Fase 2:** Montagem.

Nessa fase os componentes serão montados em placas de circuito impresso (PCB) e soldados em ilhas e trilhas metálicas impressas na placa de fibra de vidro (FR4) de acordo com os procedimentos qualificados de montagem. Essas atividades são realizadas em ambiente controlado (temperatura e umidade) e dispositivos antiestáticos. Testes de funcionamento das placas serão realizados de acordo com os procedimentos de testes. Nessa fase, os componentes são submetidos a estresses físicos quando da soldagem na placa e durante os testes funcionais elétricos.



Tabela 5.8 - Fase 2 - perfil de vida do componente.

Padrão-Perfil-de-Vida														
#	Temperatura-e-Umidade				Ciclagem-Térmica			Mecânica	Químicas			Induzido		
Fase-2 ↓ Montagem/ Teste	Tempo (Horas)	On/Off	Temp. Ambiente (°C)	Umidade Relativa (%)	$\Delta T$ (°C)	N. de Ciclos (ano)	Duração Ciclo (horas)	Max. Temp. Durante o ciclo (°C)	Vibração Randômica (G <sub>rms</sub> )	Polição Salina	Polição Ambiental	Polição Aplicação	Nível de Proteção	T. Aplicação
Stop	2440h	Off	22h	55h	6h	2h	1220h	25h	0h	fraco	fraco	fraco	Non-hermetic	R
Teste Funcional	480h	On	40h	55h	10h	60h	8h	50h	0.5h	fraco	fraco	fraco	Non-hermetic	-R

Fonte: Adaptado de [18].

Nessa fase tem-se:

O tempo estimado para as atividades de **Montagem/Teste** no caso de um CubeSat (p.ex.: AESP14) por volta de 480 horas (estado funcional = *On*);

- a) temperatura ambiente (em torno da PCA/componente)  $\sim 40^\circ\text{C}$  ( $T_0 = 25^\circ\text{C} + 15^\circ\text{C}$  de aquecimento por dissipação térmica);
- b) umidade relativa = 55% (ambiente em torno da montagem/teste);
- c) variação térmica  $\Delta T = 10^\circ\text{C}$  ( $30^\circ\text{C}$  a  $50^\circ\text{C}$ );
- d) número de ciclos = 60 (30/ $30^\circ\text{C}$  e 30/ $50^\circ\text{C}$ );
- e) duração do ciclo = 8 h;
- f)  $T_{\text{max}}=50^\circ\text{C}$ ;
- g)  $G_{\text{rms}}= 0.5$  Ref.;
- h) estresse químico = 0;
- i) hermeticidade = plástico (case).

### Fase 3: Montagem Integração e Teste (AIT).

Nessa fase os equipamentos; caixa metálica (alumínio) já com todas as placas eletrônicas montadas e interconectadas através de uma placa mãe (*mother board*) com seus respectivos conectores são submetidos a testes ambientais (vibração e termo vácuo) para verificação ao atendimento dos requisitos ambientais.

Nessa fase, tem-se que considerar etapas importantes na apreciação do levantamento da taxa de falha entendendo que o componente será submetido a estresses físicos ambientais diferentes nas condições dos testes que serão aplicados, como pode ser verificado em destaque na tabela seguinte:

Tabela 5.9 - Fase 3 - perfil de vida do componente.

Padrão-Perfil-de-Vida														
		Temperatura-e-Umidade			Ciclagem-Térmica				Mecânica	Química			Induzido	
Fase-3 AIT	Tempo (Horas)	On/Off	Temp. Ambiente (°C)	Umidade Relativa (%)	$\Delta T$ (°C)	N. de Ciclos (/ano)	Duração Ciclo (horas)	Max. Tempo Durante o ciclo (°C)	Vibração Randômica (G <sub>rms</sub> )	Poção Salina	Poção Ambiental	Poção Aplicação	Nível de Proteção	N. Aplicação
STO	1384	Off	22	55	3	2	708	25	0	fraco	fraco	fraco	Non-Hermetic	0
EMI/EMC	8	On	40	55	6	2	4	43	0.5	fraco	fraco	fraco	Non-Hermetic	0
Vibração	0.25	On	40	55	6	2	0.125	43	14.1	fraco	fraco	fraco	Non-Hermetic	0
Termo-Vácuo	40	On	40	0	100	5	8	60	0.5	fraco	fraco	fraco	Non-Hermetic	0
Testes-Funcional	24	On	40	55	6	2	12	43	0.5	fraco	fraco	fraco	Non-Hermetic	0

Fonte: Adaptado de [18].

**Nota:** As linhas destacadas representam os estresses físicos (termo elétrico e mecânicos) que as PCA's/componentes são submetidas.

Essa fase foi dividida em quatro subfases com suas características no estado funcional (*On*), então se tem:

O tempo estimado para a atividade de integração e teste **EMI/EMC**, no caso de um Cubesat por volta de 8 horas (estado funcional = *On*);

- temperatura ambiente (em torno da PCA/componente)  $\sim 40^\circ\text{C}$  ( $T_0 = 25^\circ\text{C} + 15^\circ\text{C}$  de aquecimento por dissipação térmica);
- umidade relativa = 55% (ambiente em torno da montagem/teste);
- variação térmica  $\Delta T = 6^\circ\text{C}$  ( $37^\circ\text{C}$  a  $43^\circ\text{C}$ );
- número de ciclos = 2 ( $1/37^\circ\text{C}$  e  $1/43^\circ\text{C}$ );
- duração do ciclo = 4 h;
- $T_{\text{max}}=43^\circ\text{C}$ ;
- $G_{\text{rms}}= 0.5$  Ref.;
- estresse químico = 0;
- hermeticidade = plástico (*case*).

O tempo estimado para a atividade de integração e teste de **Vibração** no caso de um Cubesat é por volta de 0.25 horas (estado funcional = *On*):

- temperatura ambiente (em torno da PCA/componente)  $\sim 40^\circ\text{C}$  ( $T_0 = 25^\circ\text{C} + 15^\circ\text{C}$  de aquecimento por dissipação térmica);

- b) umidade relativa ~55% (ambiente em torno da montagem/teste);
- c) variação térmica  $\Delta T = 6^\circ \text{ C}$  ( $39^\circ \text{ C}$  a  $41^\circ \text{ C}$ );
- d) número de ciclos = 2 (1/ $39^\circ \text{ C}$  e 1/ $41^\circ \text{ C}$ );
- e) duração do ciclo = 0.125 h;
- f)  $T_{\text{max}}=43^\circ \text{ C}$ ;
- g)  $G_{\text{rms}}= 14.1$ ;
- h) estresse químico = 0;
- i) hermeticidade = plástico (case);

O tempo estimado para a atividade de integração e teste **Termo Vácuo** no caso de um Cubesat é por volta de 40 horas (estado funcional = *On*):

- a) temperatura ambiente (em torno da PCA/componente)  $\sim 40^\circ \text{ C}$  ( $T_0 = 25^\circ \text{ C} + 15^\circ \text{ C}$  de aquecimento por dissipação térmica);
- b) umidade relativa HR = 0% (ambiente em torno da montagem/teste);
- c) variação térmica  $\Delta T = 100^\circ \text{ C}$  ( $-40^\circ \text{ C}$  a  $60^\circ \text{ C}$ );
- d) número de ciclos = 5 (5/ $-40^\circ \text{ C}$  e 5/ $60^\circ \text{ C}$ );
- e) duração do ciclo = 8 h;
- f)  $T_{\text{max}}=60^\circ \text{ C}$ ;
- g)  $G_{\text{rms}}= 0.5 \text{ Ref.}$ ;
- h) estresse químico = 0;
- i) hermeticidade = plástico (case);

O tempo estimado para a atividade de testes **Funcionais** no caso de um Cubesat é por volta de 24 horas (estado funcional = *On*).

- a) temperatura ambiente (em torno da PCA/componente)  $\sim 40^\circ \text{ C}$  ( $T_0 = 25^\circ \text{ C} + 15^\circ \text{ C}$  de aquecimento por dissipação térmica);
- b) umidade relativa HR = 55% (ambiente em torno da montagem/teste);
- c) variação térmica  $\Delta T = 6^\circ \text{ C}$  ( $37^\circ \text{ C}$  a  $43^\circ \text{ C}$ );
- d) número de ciclos = 2 (1/ $37^\circ \text{ C}$  e 1/ $43^\circ \text{ C}$ );

- e) duração do ciclo = 12 h;
- f)  $T_{max}=43^{\circ} C$ ;
- g)  $G_{rms}= 0.5$  Ref.;
- h) estresse químico = 0;
- i) hermeticidade = plástico (case).

**Fase 4:** Voo (lançamento do satélite em órbita).

Nessa fase, todos os sistemas/subsistemas e equipamentos/componentes serão submetidos aos estresses físicos característicos dos ambientes que estarão submetidos (Termo/elétrico, Vibração e Radiação) no lançamento e durante o voo no espaço que impactam a confiabilidade do COTS. Convém observar que o estresse de Radiação Solar o guia FIDES não modela, o qual foi apresentado no Capítulo 4 e algumas recomendações e práticas.

Tabela 5.10 - Fase 4 - perfil de vida do componente.

Padrão-Perfil de Vida														
Fase-4 Voo	Tempo (Horas)	Temperatura e Umidade			Ciclagem-Térmica				Mecânica	Química			Induzido	
		Op/Off	Temp. Ambiente (°C)	Umidade Relativa (%)	ΔT (°C)	N. de Ciclos (ano)	Duração Ciclo (horas)	Max. Temp. Durante o ciclo (°C)	Vibração Randômica (G <sub>rms</sub> )	Polição Salina	Polição Ambiental	Polição Aplicação	Nível de Proteção	N. Aplicação
Stop	n/a	Off	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a
Vibração	0.25h	On	40R	55R	20R	1R	0.25R	60R	14.1H	fraco	fraco	fraco	Non-Hermetic	II
Funcional	17520h	On	50R	0R	100R	11680R	1.4R	60R	1.0R	fraco	fraco	fraco	Non-Hermetic	II

Fonte: Adaptado de [18].

O tempo estimado para o **Voo** no caso de um Cubesat é por volta de 17520,25 h (estado funcional = On):

- a) temperatura ambiente (em torno da PCA/componente)  $\sim 50^{\circ} C$  ( $T_0 = 25^{\circ} C + 25^{\circ} C$  de aquecimento por dissipação térmica);
- b) umidade relativa HR = 0% (ambiente em torno da montagem/teste);
- c) variação térmica  $\Delta T = 100^{\circ} C$  ( $-40^{\circ} C$  a  $60^{\circ} C$ );
- d) número de ciclos = 11680 (5840/ $-40^{\circ} C$  e 5840/ $60^{\circ} C$ );
- e) duração do ciclo = 1.4 h (Órbita baixa – LEO);
- f)  $T_{max} = 60^{\circ} C$ ;
- g)  $G_{rms} = 1$
- h) estresse químico = 0;

i) hermeticidade = plástico (case);

Seguem as famílias de componentes COTS que serão analisadas neste trabalho:

### 5.3.4.3 Conversor DC/DC

O componente de interesse nesse caso (placa de potência do Tubesat – estudo de caso) é um conversor DC/DC, circuito integrado analógico. Aplica-se então a fórmula abaixo para encontrarmos a taxa de falha:

$$\lambda = \lambda_{physical} * \Pi_{PM} * \Pi_{Process}$$

onde:

$$\lambda_{physical} = \sum_i^{Phases} \left( \frac{t_{annual}}{8760} \right) \frac{1}{i} * [(\lambda_{OTH-TCy} * (Y_{TH} * \Pi_{TH} + Y_{TCy} * \Pi_{TCy}) + \lambda_{OM-RH} * (Y_M * \Pi_M + Y_{RH} * \Pi_{RH})) * (\Pi_{Induced})] \frac{1}{i}$$

**Nota:** Todos os fatores (sensitividade, localização, tecnológico, estresse físico) e taxa de falha básica associada à montagem serão solicitados no algoritmo de escolha.

Onde:

**As informações sobre o perfil de vida do componente são:**

- a) Tannual: Tempo associado com cada fase (etapas relacionadas com: fabricação e montagem) em um ano (horas);
- b) RH ambient: Umidade relativa com a fase (%);
- c) Tambient: Temperatura média durante a fase de sub montagem;
- d)  $\Delta T_{cycling}$ : Amplitude de variação associado com a fase de ciclagem (°C);
- e) Tmax-cycling: Temperatura máxima da sub montagem durante a fase de ciclagem (°C);
- f) Nannual-cy: Número de ciclos associado com cada fase de ciclo num ano (ciclos);
- g)  $\theta_{cy}$ : Duração do ciclo (horas);

- h)  $G_{RMS}$ : Amplitude de vibração associado com cada fase de vibração randômica (Grms);

As famílias de componentes de interesse neste trabalho são: Circuitos Integrados, Semicondutores e Conversor DC/DC, haja vista, que esses componentes perfazem quase 80% dos componentes utilizados num circuito eletrônico (analógico e digital) de importância em termos de confiabilidade, pois, os componentes passivos tipo: resistores, capacitores e indutores possuem baixa taxa da falha e menor complexidade, então:

#### 5.3.4.4 CI e Semicondutor

Para circuitos Integrados e Semicondutores, têm-se:

$$\lambda = \lambda_{physical} * \Pi_{PM} * \Pi_{Process}$$

onde:

$$\lambda_{physical} = \sum_i^{Phases} \left( \frac{t_{annual}}{8760} \right) \frac{1}{i} * [(\lambda_{OTH} * \Pi_{TH} + \lambda_{OTCycase} * \Pi_{TCycase} + \lambda_{OTCysolderjoints} * \Pi_{TCysolderjoints} + \lambda_{ORH} * \Pi_{RH} + \lambda_{OMech} * \Pi_{Mech})] * (\Pi_{Induced}) \frac{1}{i}$$

onde:

**As informações sobre o perfil de vida do componente são:**

- Tannual: tempo associado com cada fase (etapas relacionadas com: fabricação, montagem e voo) em um ano (horas);
- RH ambient: umidade relativa com a fase (%);
- $T_{board-ambient}$ : temperatura média do cartão durante a fase (°C);
- $\Delta T_{cycling}$ : amplitude de variação associado com a fase de ciclagem (°C);
- $T_{max-cycling}$ : temperatura máxima da sub montagem durante a fase de ciclagem (°C);
- Nannual-cy: número de ciclos associado com cada fase num ano (ciclos);
- $\theta_{cy}$ : duração do ciclo (horas);

- h)  $G_{RMS}$ : amplitude de vibração associado com cada fase de vibração randômica (Grms).

### Informações sobre a aplicação

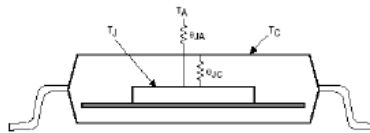
$T_{j\_component}$ : temperatura de junção do componente durante a fase de operação ( $^{\circ}C$ );

$$T_{j\_component} = T_{ambient} + R_{JA} * P_{dissipated};$$

$P_{dissipated}$ : Potência dissipada pelo componente durante a fase (W);

$V_{applied}$ : Voltagem reversa aplicada durante a fase, somente para diodos de sinal (V).

Figura 5.9 - Resistência térmica do componente ( $R_{JA}$ ).



Fonte: [18].

Para componentes ativos, o modelo de estresse de temperatura usa a temperatura de junção do componente. Isso requer uma avaliação do aumento da temperatura da junção em relação à temperatura ambiente. Esta avaliação geralmente é feita a partir da potência dissipada pelo componente e sua resistência térmica entre a temperatura de junção e a temperatura ambiente. Dados de resistência térmica para componentes são publicados por fornecedores e devem ser preferidos sempre que possíveis (*datasheet*).

Um método de avaliação de resistências térmicas para componentes ativos é proposto:

Figura 5.10 – Método de avaliação para cálculo da resistência térmica (RJA).

a)

**Integrated circuits**

$$R_{JA,0m/s} = C_{type} \cdot Np^{-0.58} \cdot K$$

$$R_{JA,2m/s} = \frac{R_{JA,0m/s}}{1.5}$$

$R_{JA,V}$  = Junction-ambient thermal resistance, depending on the airflow speed

$V = 0$  m/s or 2 m/s = Airflow speed depending on environmental convection (0 m/s = natural convection)

$C_{type}$  = Constant dependent on the case type

$Np$  = Number of pins on the case; the same formula will be used for QFN cases, where  $Np$  = case area in  $mm^2$ .

$K$  = Constant dependent on the value of thermal conductivity in the plane of the board ( $kx=ky$ )

Note:

- Low conductivity:  $k_z < 15 \frac{W}{m.K}$
- High conductivity:  $k_z \geq 15 \frac{W}{m.K}$

Case type	$C_{type}$	Variation range	
QFN (area in $mm^2$ )	223	3*3	<Area< 10*10
CerDIP / CDIP	320	8	< Np < 48
Power QFP (HQFP, RQFP...)	340	160	< Np < 304
PDIP	360	8	< Np < 68
PPGA	380	28	< Np < 447
PLCC	390	20	< Np < 84
SOIC	400	8	< Np < 32
SOJ	400	24	< Np < 44
CPGA	410	68	< Np < 655
SOP	410	8	< Np < 32
Power BGA-1.27mm (SBGA, TBGA...)	450	256	< Np < 956
J-CLCC	470	28	< Np < 84
CBGA	480	255	< Np < 1156
Cerpack	480	20	< Np < 56
TQFP, VQFP, LQFP	480	32	< Np < 208
PBGA-1.27mm	530	119	< Np < 729
Power BGA-1mm (SBGA, TBGA...)	550	256	< Np < 1508
SSOP	560	16	< Np < 64
CQFP	560	64	< Np < 256
PQFP	570	44	< Np < 304
TSSOP	650	8	< Np < 64
PBGA-1mm	670	100	< Np < 1156
PBGA-0.8mm	700	48	< Np < 484
TSOP	750	5	< Np < 56

Board thermal conductivity	K
Low conductivity	1.15
High conductivity	0.94

Considering the diversity of the possible shapes, it may be preferable to refer to the manufacturer's data for BGA type cases.

continua



Figura 5.10 – Conclusão.

b) Método de avaliação para cálculo da resistência térmica (RJA).

Discrete semiconductors

$R_{JA}$  = Junction – ambient thermal resistance (model proposed for natural convection only, airflow speed = 0 m/s) in °C/W

$R_{JC}$  = Junction – case thermal resistance in °C/W

$N_p$  = Number of pins on the case

$k_x$  = Thermal conductivity in the plane of the board ( $k_x = k_y$ ) in W/m.K

Low conductivity:  $k_x < 15 \frac{W}{m.K}$

& High conductivity:  $k_x \geq 15 \frac{W}{m.K}$

Case type	Equivalent name	$N_p$	$R_{JA}$ Low conductivity	$R_{JA}$ High conductivity	$R_{JC}$
DO15	DO-204AC	2	60	42	5
DO27	DO-201AA	2	41	30	1
DO35	DO-204AH	2	378	241	134
DO41	DO-204AL	2	73	50	45
DO92		3	195	126	150
DO220 *		3	65	45	4
DPAK *	TO-252AA, SC63, SOT428	4	97	71	4
D2PAK *	TO-263, SC83A, SMD-220	4	58	40	1
IPACK *	TO-251AA	3	96	50	3
I2PAK		3	63	44	1
ISOTOP *	SOT227, TO-244, Half-Pak	4	35	26	1
F126		2	40	29	1
SIL	SIL, ZIP	(See manufacturer's specification)			
SIP	SIL, ZIP	(See manufacturer's specification)			
SOD8	DO-214AA, SMB-J	2	88	59	27
SOD15	DO-214AB, SMC-J	2	67	46	2
SOD80	Mini-MELF, DO213AA	2	568	361	172
SOD87	DO-214AC, SMA-J	2	110	73	41
SOD110		2	315	202	119
SOD123		2	337	216	130
SOD323	SC76	2	428	273	146
SOD523	SC79	2	93	62	31
SOT23	TO-236AB	3	443	360	130
SOT23	SC74A, SOT25	5	285	136	106
SOT23	SC74, SOT26, SOT457	6	212	133	110
SOT82 *	TO225	3	100	67	8
SOT89	SC82, TO-243AA	4	142	125	100
SOT90B		6	500	318	160
SOT143	TO-253AA, SC61B	4	473	250	155
SOT223	SC73, TO261AA	4	84	57	21
SOT323	SC70	3	516	328	164
SOT343	SC82	4	215	139	88
SOT346	SC59, TO-236AA	3	500	318	160
SOT353	SC70-5, SC88A	5	358	229	144
SOT363	SC70-6, SC88	6	553	351	164

Fonte: [18].

### 5.3.4.5 Informações relacionadas à tecnologia

Vrated: taxa de voltagem reversa (V) para diodo de sinal.

O fator que contribui para os *overstress* (elétrico, mecânico e térmico)

$\Pi_{Induced-i}$ .

é calculado desta forma:

$$\Pi_{induced-i} = (\Pi_{placement} * \Pi_{application-i} * \Pi_{ruggedising})^{0.511 * \ln(Csensitivity)}$$

O fator de sensibilidade (*Csensitivity*) é fornecido no *datasheet* de cada tipo de componente.

As sensibilidades são informações relativas aos *overstress* das famílias de componentes.

O fator  $\Pi_{placement}$  pode ser determinado em nível de componente para um estudo mais detalhado ou em nível de cartão para um estudo mais rápido. A escolha deve ser feita para a função eletrônica no qual o componente está aplicado.

No caso do CI conversor DC/DC seria  $\Pi_{placement} = 1.6$ , por exemplo. Função potência analógica sem função de interface de acordo com o guia FIDES.

O fator  $\Pi_{application-i}$  é avaliado marcando uma série de critérios. Cada critério pode ter 3 níveis, correspondendo a: Favorável, Moderado e Desfavorável. Cada critério tem um impacto sobre o *overstress* Peso (Pos):

$\Pi_{application-i}$  : Tabela 5.11

Na Tabela 5.11 é mostrado apenas um exemplo de questionamento. Existe uma série deles que serão implementados no algoritmo de escolha.

Tabela 5.11 - Questionário para marcação de peso (Peso x Nota).

<b>Critério</b>	<b>Descrição</b>	<b>Nível</b>	<b>Exemplo e comentários</b>	<b>Peso (Pos)</b>
Tipo de circuito elétrico para o sistema	Representa o nível de distúrbio elétrico esperado sobre fontes de potência, sinais elétricos de chaveamento conexões e desconexões	0: Não agressivo; 1: Moderado; 2: Severo	0: rede sem distúrbio (fonte de potência dedicada); 1: Rede com leve distúrbio; 2: Rede sujeita a distúrbio	4
.	.	.	.	.

Fonte: Adaptado de [18].

Cada critério deve ser respondido para definir a agressividade do ambiente ou da localização do sistema ou produto durante as fases operacionais.

Cada nível tem um peso específico conforme a tabela seguinte:

$\Pi_{application-i}$ : Tabela 5.12

Tabela 5.12 - Questionário para marcação de peso (continuação).

<b>Nível</b>	<b>Peso da Nota (Observado)</b>
0: Favorável ou inicial	1
1: Moderado	3.2
2: Desfavorável ou severo	10

Fonte: Adaptado de [18].

Começando com essas tabelas e respondendo aos critérios o valor do  $\Pi_{application-i}$  é obtido da seguinte fórmula:

$$\Pi_{application} = \frac{1}{66} \sum_{k=criterio} Pmarks_k * Pos_k$$

onde:

$P_{marks_k}$  São fatores de peso correspondentes às notas atribuídas a cada critério ( $\Pi_{application}$  : Tabela 5.11).

$P_{os_k}$  São pesos para cada critério ( $\Pi_{application}$ : Tabela 5.12).

Fator de contribuição associado com ( $\Pi_{Ruggedising}$ ).

Esse fator é determinado considerando as seguintes questões:

As respostas e as justificativas fornecidas pela pessoa auditada serão usadas para fixar um nível de satisfação para as recomendações (1 a 4);

N1 = a recomendação não é aplicada → riscos definidos em relação à confiabilidade;

N2 = a recomendação é aplicada parcialmente → riscos potenciais em relação à confiabilidade;

N3 = a recomendação é totalmente aplicada → poucos riscos em relação à confiabilidade;

N4 = a recomendação é totalmente aplicada e é descrita em um procedimento → controle de confiabilidade.

Segue como exemplo um Guia de Auditoria detalhado sobre recomendações no processo de controle de confiabilidade.

Apenas algumas recomendações foram enunciadas a título de ilustração. Como tais auditorias no fabricante não farão parte deste trabalho mesmo porque as dificuldades inerentes a esse processo e custos associados, tais práticas se tornam inviáveis. Portanto, usaremos o valor DEFAULT conforme o Guia FIDES mesmo incorrendo na imprecisão dos valores encontrados.

Tabela 5.13 - Questionário de peso.

Folha	Recomendação	Peso
169	Procedimentos escritos e completos para implementação do produto e manutenção	7
157	Fornecer treinamento e gerenciar manutenção das habilidades uso e manutenção do produto	7
168	Realizar uma revisão de manutenção feita pelo usuário final e lidar com suas recomendações	4
.	.	.
.	.	.
.	.	.

Fonte: Adaptado de [18].

A nota de cada nível é determinada como segue:

Tabela 5.14 - Questionário de peso(cont.).

Nível	Nota
N1	0
N2	1
N3	2
N4	3

Fonte: Adaptado de [18].

Cada uma das recomendações tem um peso específico **Recom\_Weight**

O fator  $\Pi_{Ruggedising}$  é calculado como segue:

$$\Pi_{Ruggedising} = e^{0.7*(1-\text{recom-grade})}$$

Onde:

$$\text{recom\_grade} = \frac{1}{255} \sum_i^{\text{Recommendations}} \text{Recom\_Weight}_i * \text{Satisfaction\_mark}_i$$

onde:

Recom\_grade: é um peso associado com a recomendação;

Satisfaction\_mark: é a nota obtida dessa recomendação (0,1,2 ou 3).

Nota: o fator Recom\_grade varia de 0 (pior caso: nenhuma recomendação é aplicada) até 1 (melhor caso).

O fator **255** corresponde ao escore obtido se a melhor nota é dada para cada recomendação. Se uma ou diversas recomendações são consideradas serem

inaplicáveis, não relevantes para um dado projeto, esse total pode ser atualizado do mesmo modo como feito para o cálculo do fator processo.

Se o fator  $\Pi_{Ruggedising}$  não é avaliado, um valor Defaut de **1.7** é sugerido. Entretanto, o uso do valor Defaut pode reduzir a precisão do resultado final.

O modelo geral associado com o fabricante do componente fator  $\Pi_{PM}$ :

$$\Pi_{PM} = e^{1.39 \times (1 - \text{Part}_{\text{Grade}}) - 0.69}$$

onde componentes ativos (**circuitos integrados, semicondutores**, Leds, Opto acopladores):

$$\text{Part}_{\text{Grade}} = \left[ \frac{(\text{QA}_{\text{manufacturer}} + \text{QA}_{\text{component}} + \text{RA}_{\text{component}}) * \epsilon}{36} \right]$$

e para todos os outros componentes (**híbridos**):

$$\text{Part}_{\text{Grade}} = \left[ \frac{(\text{QA}_{\text{manufacturer}} + \text{QA}_{\text{component}}) * \epsilon}{24} \right]$$

Em geral, a fórmula de cálculo do  $\Pi_{PM}$  pode ser feita especificamente para cada caso.

O modelo associado com o fator  $\text{QA}_{\text{manufacturer}}$

Esse fator é comum para todos os componentes.

Tabela 5.15 - Fator de qualidade do fabricante.

Certificado ISO/TS 16949 V2002	Alto	3
Certificado de acordo com os seguintes padrões: QS 9000, TL 9000, ISO/TS 29001. IEC TS 62239, ESA/ECSS QPL, MIL-PRF-38535 QML, MIL-PRF-19500	Equivalente	2
ISO 9000 v 2000 certificado	Baixo	1
Sem informação	Muito baixo	0

Fonte: Adaptado de [18].

Figura 5.11 - Fator de fabricação do componente.

## II Part Manufacturing factor

For  $QA_{\text{manufacturer}}$ , which is based on the level of qualification of the manufacturer:

Manufacturer quality assurance level	Positive relative to state of the art	$QA_{\text{manufacturer}}$
<b>Certified ISO/TS16949 V2002</b>	Higher	3
Certified according to one of the following standards: QS9000, TL9000, ISO/TS 29001, EN9100, AS9100, JISQ 9100, AQAP 2110, AQAP 2120, AQAP 2130, IRIS, IEC TS 62239, <b>ESCC-QPL, MIL-PRF-38535 QML</b> , MIL-PRF-19500	Equivalent	2
<b>ISO 9000 version 2000 certified</b>	Lower	1
No information	Very much lower	0

Automotive certification (pointing to level 3)  
Space & Military certification (pointing to level 2)  
Lower level of certification (pointing to level 1)

Fonte: [7].

O modelo associado com o fator  $QA_{\text{component}}$ .

O fator  $QA_{\text{component}}$  é definido para cada família de componentes. Ele leva em conta, principalmente, a metodologia de qualificação sem considerar a severidade dos testes definidos nos padrões mencionados. Os testes de severidades para componentes ativos levam em conta o fator  $RA_{\text{component}}$ .

Tabela 5.16 - Fator de qualidade do componente.

Nível de qualidade do componente	Posição relativa do estado da arte	$QA_{component}$
Nível do critério definido para cada família de componentes	Alto	3
	Equivalente	2
	Baixo	1
	Muito baixo	0

Fonte: Adaptado de [18].

Figura 5.12 - Fator de qualidade do componente.

### II Part Manufacturing factor

For  $QA_{component}$ , based on the standards used for the qualification of the component (example of the ICs):

Component quality assurance level	Position relative to the state of the art	$QA_{component}$
Qualification according to one of the following standards: <b>AEC Q100</b> , MIL-PRF-38535 class V, ESA ESCC 90xx, NASDA-QTS-xxxx class I, NPSL NASA level 1	Higher	3
Manufacturer qualification including tests conforming with standards JESD22, EIAJ-ED-4701, MIL-STD-883, IEC 68 with identification of "front-end" and "back-end" manufacturing sites;	Equivalent	2
Qualification according to one of the following standards: <b>MIL-PRF-38535 class Q</b> , MIL-PRF-38535 class M, MIL-PRF-38535 class N, MIL-PRF-38535 class T, NASDA-QTS-xxxx class II, NPSL NASA level 2 & 3, STACK-S0001	Lower	1
Qualification program internal to the manufacturer and unidentified manufacturing sites	Lower	1
No information	Much lower	0

Automotive level

ESCC class 1 (QML-V)

ESCC class 2/3 (QML-Q or M)

Fonte: [7].

Modelo associado ao fator  $RA_{component}$

O fator  $RA_{component}$  é definido para circuitos integrados e semicondutores discretos. Ele é quantificado em função dos resultados e das severidades de testes desenvolvidos pelo fabricante.



Tabela 5.17 - Fator de confiabilidade do componente Circuito Integrado.

Teste de envelhecimento acelerado	HTOL	Pre cond/antes de TC, THB ou HAST	Ciclagem térmica (TC)	Teste sob pressão (PCT)	Teste de Estresse altamente acelerado (HAST)	Umidade e temperatura (THB)	
Padrão de Referência	EIA JESD-22-A108A ou equivalente	EIA-JESD-22-A108A ou equivalente	EIA-JESD-22-A108A ou equivalente	EIA-JESD-22-A108A ou equivalente	EIA-JESD-22-A108A ou equivalente	EIA-JESD-22-A108A ou equivalente	
Resultado de testes							Risco $RA_{component}$
Muito Confiável <b>Nível A</b>	1000h, 125°C, Vmax 231/0,1500/0	Realizado	1000 ciclos - 55°C/150°C ou 500 ciclos - 65°C/150°C 231/0 ou 1000 ciclos - 55°C/125°C 385/0	168 h em 121°C/100%UR 231/0	168 h em 130°C/85%UR 231/0	168 h em 130°C/85%UR 231/0	3
Muito Confiável <b>Nível B</b>	1000h, 125°C, Vmax 154/0,900/0	Realizado	1000 ciclos - 55°C/125°C 154/0	96 h em 121°C/100%UR 154/0	96 h em 130°C/85%UR 154/0	168 h em 130°C/85%UR 154/0	2
Confiável	1000h, 125°C, Vmax 77/0, 231/0	Realizado	500 ciclos - 55°C/125°C 154/0	96 h em 121°C/100%UR 77/0	96 h em 130°C/85%UR 77/0	1000 h em 85°C/85%UR 154/0	1
Não Confiável	Projeto abaixo do nível confiável	Não realizado	Projeto abaixo do nível confiável				0

Fonte: Adaptado de[18].

Tabela 5.18 - Fator de confiabilidade do componente Semicondutor discreto.

Teste de envelhecimento acelerado	HTRB Alta temperatura Polarização reversa	HTGB Alta temperatura Gate polarizado	Ciclagem térmica e potência AEC-Q101	Pre cond/antes de TC, THB ou HAST	Ciclagem de temperatura (TC)	Teste sob pressão (PTC)	Alta Umidade e temperatura Polarização reversa (HTRB)	
Padrão de Referência	EIA JESD-22-A108A ou equivalente	EIA-JESD-22-A108A ou equivalente	MIL STD-750 Method 1037 EIA JESD22 A-105	EIA-JESD-22-A113A ou equivalente	EIA-JESD-22-A104A ou equivalente	EIA-JESD-22-A102A ou equivalente	EIA-JESD-22-A101A ou equivalente	
Resultado de testes								Risco $RA_{comp}$
Muito Confiável <b>Nível A</b>	1000h, 125°C, 80% a 100% da voltagem 231/0 1500/0	1000h, 150°C, 80% a 100% da voltagem 231/0 1500/0	Ta=25°C componente polarizado para obter $\Delta T_j \geq 100^\circ\text{C}$ (sem taxa máxima) 231/0 1500/0	Realizado	1000 ciclos - 55°C/150°C ou 500 ciclos - 65°C/150°C 231/0 ou 1000 ciclos - 55°C/125°C 385/0	2000 h em 85°C/85%UR 154/0	168 h em 130°C/85%UR 231/0	3
Muito Confiável <b>Nível B</b>	1000h, 125°C, 80% a 100% da voltagem 154/0 900/0	1000h, 125°C, 80% a 100% da voltagem 154/0 900/0	Ta=25°C componente polarizado para obter $\Delta T_j \geq 100^\circ\text{C}$ (sem taxa máxima) 154/0 900/0	Realizado	1000 ciclos - 55°C/125°C 154/0	96 h em 121°C/100%UR 154/0	168 h em 130°C/85%UR 154/0	2
Confiável	1000h, 150°C, 80% a 100% da voltagem 77/0 231/0	1000h, 125°C, 80% a 100% da voltagem 77/0 231/0	Ta=25°C componente polarizado para obter $\Delta T_j \geq 100^\circ\text{C}$ (sem taxa máxima) 77/0 231/0	Realizado	500 ciclos - 55°C/125°C 154/0	96 h em 121°C/100%UR 77/0	1000 h em 85°C/85%UR 154/0	1
Não Confiável	Projeto abaixo do nível confiável							0

Fonte: Adaptado de [18].

Nota: nas tabelas de testes apresentadas, as colunas destacadas são as escolhas feitas de testes que serão posteriormente abordadas do ponto de vista de confiabilidade versus custos para os componentes COTS:

- a) circuitos Integrados (CI):
- b) semicondutor discreto;
- c) conversor DC/DC.

Modelo associado com o fator experiência  $\varepsilon$ .

O fator experiência deve representar a experiência do comprador do componente com seu fornecedor (*vendor*). Conseqüentemente, esse fator é específico a cada fabricante. A função de multiplicação no modelo representa a importância do conhecimento do fornecedor na confiabilidade do componente.

Esse fator é comum para todos os componentes, mas, em alguns casos indicações específicas são propostas para sua determinação.

Tabela 5.19 - Fator de experiência do vendedor.

Descrição do risco relacionado ao fabricante	Valor do fator $\varepsilon$
Fabricante reconhecido: Processo maduro para o componente considerado	4
Fabricante reconhecido: Processos não analisados ou não maduros para o item considerado	3
Fabricante não reconhecido (por exemplo nunca foi auditado ou auditado a cada 6 anos) ou pequena produção em série	2
Desqualificação anterior ou problemas com realimentação de operações	1

Fonte: Adaptado de [18].

A fórmula para o fator  $\Pi_{Process}$  é a seguinte:

$$\Pi_{Process} = e^{\delta 2(1-Process\_Grade)}$$

O fator  $\delta 2$ , fixa a faixa de variação do processo. Ele foi fixado em **2.079**, o qual dá um faixa de 1 a 8 no fator de processo.

O grau do processo (Process\_Grade) é calculado das notas da auditoria (Audit\_Marks) por fase de projeto, anteriormente calculado e pesado pela contribuição da fase (Contribution\_Phase) para cada fase, tal que:

$$Process_{Grade} = \sum_{j=1}^7 (Contribution_{Phase_j} * \frac{Audit\_Mark_j}{Max\_Audit\_Mark_j})$$

Process\_Grade: Será um valor entre 0 e 1:

0 → representa um processo para qual todas as questões auditadas são respondidas insatisfatoriamente:

$$\rightarrow \Pi_{Process} = 0$$

1 → representa um processo perfeito para qual todas as questões são respondidas satisfatoriamente:

$$\rightarrow \Pi_{Process} = 1$$

**Nota:** *Process\_Grade* específico para cada fase *j* pode ser avaliado de modo a determinar o nível da fase:

$$Process\_Grade_j = \frac{Audit\_Mark_j}{Max\_Audit\_Mark_j}$$

## 6 FATOR COMPLEXIDADE

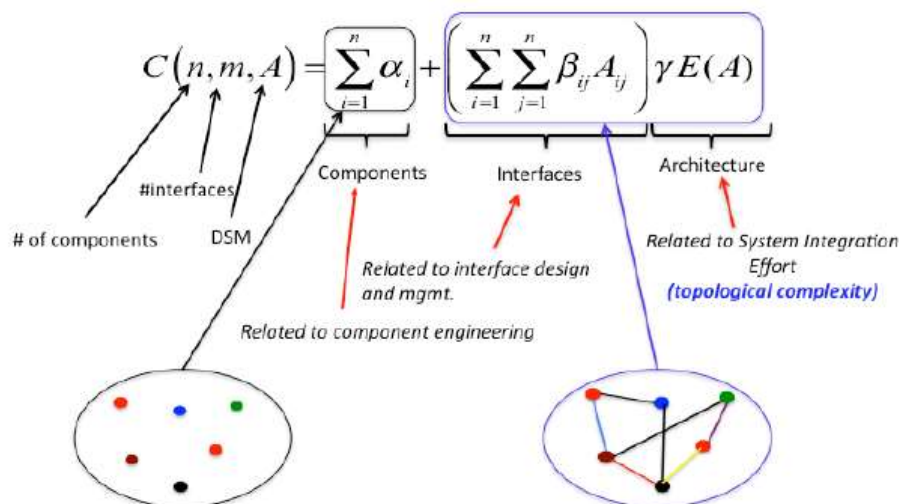
Introduz-se o conceito de complexidade ( $0 < C < 1$ ) associado à ideia do número de componentes discretos que estão localizados no esquema ou diagrama elétrico que representa o circuito integrado ou semiconductor. Faz-se uma analogia com o método Karmioli/Bracha [24] no nível de sistemas/subsistemas sendo a complexidade um desses fatores abordados.

Fator esse, que se trata, para um componente. Entende-se que a abordagem do problema no nível de subsistemas descrito pelo método pode ser análoga na complexidade do componente, embora, no caso do componente a sua confiabilidade ou taxa de falha está implícita no processo de fabricação e verificada durante os testes de *screening* ao qual foi submetido. A analogia está nos níveis de complexidade das funções executadas pelo componente.

Explora-se essa ideia, uma vez que a integração de sistemas e subsistemas tende a uma miniaturização ímpar. Portanto, os conceitos gerais de sistemas devem permanecer, independentes do tamanho das unidades/componentes.

Uma métrica sobre complexidade de sistemas é feita por [27]. Onde, o número de componentes, interações e energia do sistema são abordados.

Figura 6.1 - Métrica de complexidade de sistema estrutural.



Fonte: [27].

Comparando-se a métrica proposta por Kaushick com o índice de complexidade do método Karmioli/Bracha, os dois tratam no nível de sistema.

Aqui, a complexidade proposta com base no método Karmioli/Bracha está associado aos níveis e sub níveis de componentes com as suas respectivas funcionalidades descritas no esquema/diagrama elétrico. Num primeiro momento, identificam-se os blocos funcionais dentro do esquema elétrico considerando como o primeiro nível e descemos um nível identificando os componentes discretos que compõe esses blocos. Desse modo, usa-se a fórmula de complexidade sugerida pelo método Karmioli.

Pois, a analogia do estudo feita no nível de sistema pode ser aplicada no nível de componente, dada a complexidade do componente. O tratamento pode ser semelhante.

O método Karmioli/Bracha, mencionado no Capítulo 5, considera quatro fatores de efeito da não confiabilidade, a saber:

- a) complexidade;
- b) estado da arte;
- c) perfil operacional;
- d) criticidade.

Os itens **b**, **c**, já são contemplados no modelo de taxa de falha física através dos mecanismos de falhas abordados pelo método FIDES, e a criticidade através do FMECA. O foco então, deste estudo ficará na **complexidade**.

$$C = 1 - e^{-K_b + 0.6k_p} \quad (6.1)$$

Onde:

$$K_b = 10 n_{bi} / n_{bc} \quad (6.2)$$

$n_{bi}$  = número de componentes no sub nível  $i$ ;

$n_{bc}$  = número de componentes no sub nível mais complexo;

$k_p$  = número de componentes redundantes<sup>2</sup>.

---

<sup>2</sup> Nota: não foi utilizado esse fator uma vez que não foram usados componentes redundantes no cálculo da taxa da falha do componente considerado, pois o componente em si já é uma unidade básica. Entende-se que a complexidade do componente está associada aos níveis de integração das várias funções executadas pelo componente, por exemplo: CI e microcircuitos.

Então, o fator de complexidade fica:

$$C = (e^{-K_b}) \quad (6.3)$$

Pois, se está interessado na relação direta de confiabilidade do componente e não de não confiabilidade conforme expresso na formula (6.1), uma vez que não se tem a possibilidade de alocar confiabilidade via redundância dentro do componente por ser uma unidade básica.

Nota: O  $k_b$  é um valor atribuído durante o desenvolvimento do sistema e está relacionado com a complexidade da unidade e varia de 1 a 10

No caso do componente, temos:

- a) Para componentes de baixa complexidade o valor é 1;
- b) De alta complexidade o valor é 10.

Conforme sugerido pelo método Karmiol.

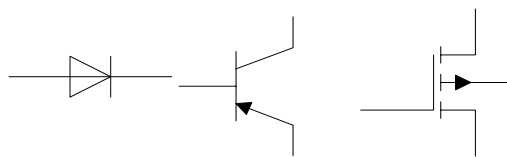
Nas analogias feitas com os componentes, adota-se esses valores em função da multifuncionalidade de cada componente.

Segue alguns exemplos tratados referentes aos componentes ativos do circuito de potência do Tubesat (estudo de caso recorrente).

Portanto:

- 1) para um **semicondutor (Diodo CRS06)** tem-se:

Figura 6.2 – Ex.: Símbolos esquemáticos dos semicondutores CRS06 (TE85L, Q, M).



[Diodo] – [Transistor Bipolar] – [Mosfet]

Fonte: [28].

$$C = (e^{-K_b})$$

$K_b = 1$  (baixa complexidade);

Nesse caso a relação  $n_{bi}/n_{bc} = 1$ , pois não tem blocos funcionais dentro de um diodo por isso a sua baixa complexidade.

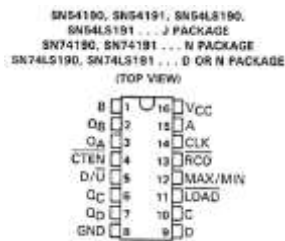
$$C = (0.3678).$$

$$C = 0.3678$$

$$C = 0.3678$$

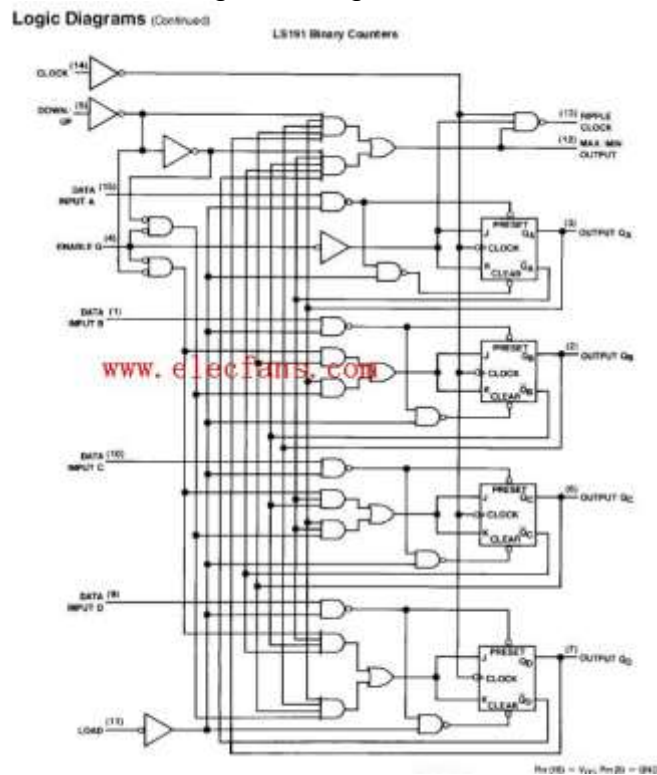
2) Para um **Contador Binário (SN74LS191)**, têm-se:

Figura 6.3 – Símbolo esquemático de um contador binário.



Fonte: [29].

Figura 6.4 – Ex.: Diagrama Lógico de um contador binário.



Fonte: [29].

Pelo método Karmiol/Bracha sugerido, têm-se:

$K_b = 10$  (alta complexidade)



$n_{bi} = 32$  Portas lógicas ( $n = \sum$  dos blocos funcionais lógicos no 1º nível), Figura 6.4.

$n_{bc} = 206$  ( $n = \sum$  de elementos discretos correspondentes aos blocos lógicos no 2º nível), todas as figuras referenciadas [31], têm-se:

(5) Inversor: 50 (elementos discretos)

(11) Nand: 88 (elementos discretos)

(8) And: 64 (elementos discretos)

(4) Or: 44 (elementos discretos)

(4) Porta JK: 232 (elementos discretos)

Portanto, têm-se:

$$Kb_i = 10 n_{bi}/n_{bc}$$

$$Kb_i = 10 \left( \frac{32}{478} \right)$$

$$Kb_i = 0,67$$

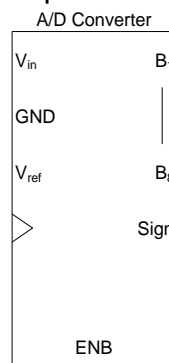
$$C = (e^{-Kb_i})$$

$$C = 0,5117$$

Esse é o fator de complexidade C que se usa, como fator de rigidez no cálculo da nova taxa de falha do componente (COTS).

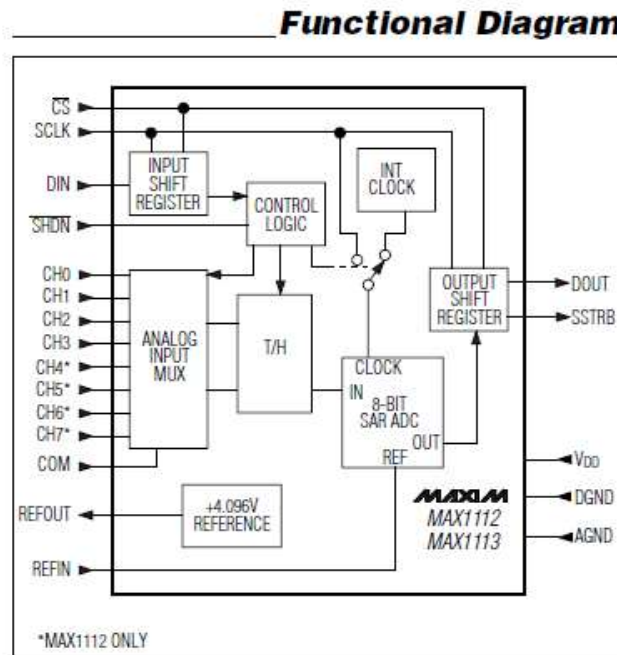
3) Para um **conversor A/D (MAX1113)**, têm-se:

Figura 6.5 – Símbolo esquemático de um conversor A/D.



Fonte: [30].

Figura 6.6 – Ex.: Diagrama funcional do Conversor A/D.



Fonte:[30].

$$C = (e^{-K_b})$$

$K_b = 10$  (alta complexidade)

$n_{bi} = 8$  ( $N = \sum$  dos blocos funcionais no 1º nível), Figura 6.6

**Blocos Funcionais (1 nível):**

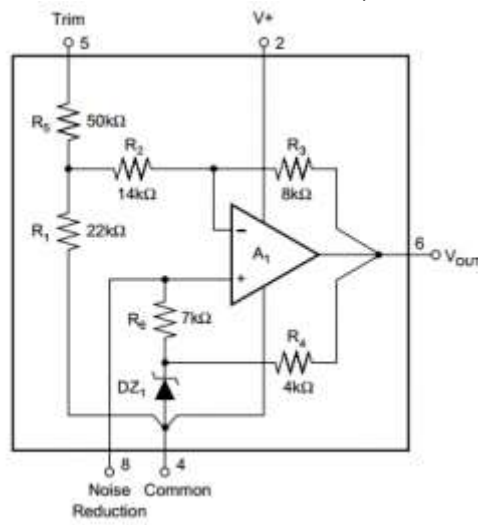
In Put Shift Register, Out Put Shifter Register, Controle Lógico, Multiplexador; I/O, Voltage Reference, Conversor A/D 8 bits, Gerador de Clock, T/H.

**Elementos discretos (2 nível):**

$n_{bc} = 541$  ( $N = \sum$ . de elementos discretos no 2º nível) todas as figuras referenciadas [31]

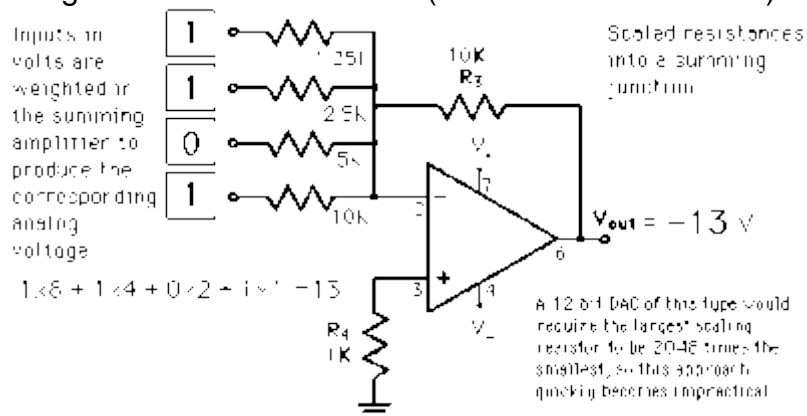
**A seguir, apresentam-se os esquemas elétricos dos circuitos referentes aos blocos funcionais de alguns circuitos integrados de interesse:**

Figura 6.7 - Circuito tensão de referência (12 elementos discretos).



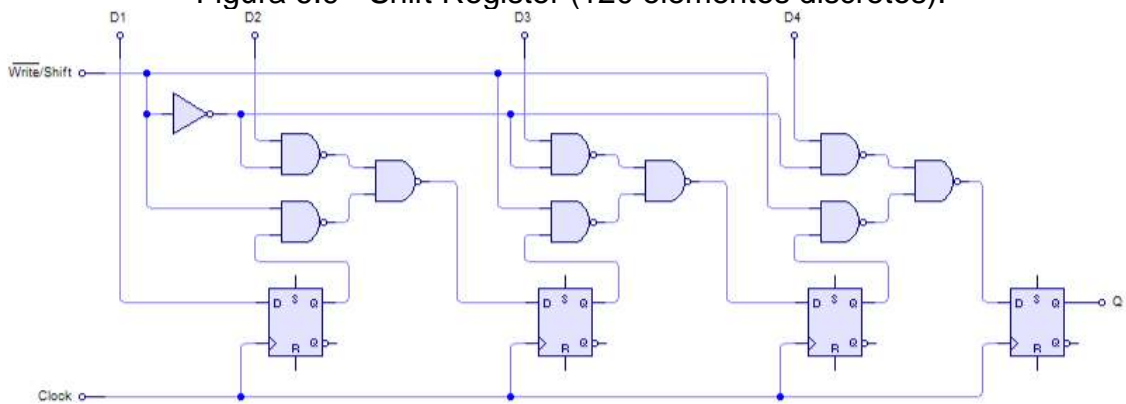
Fonte: [31].

Figura 6.8 - Conversor A/D (22 elementos discretos).



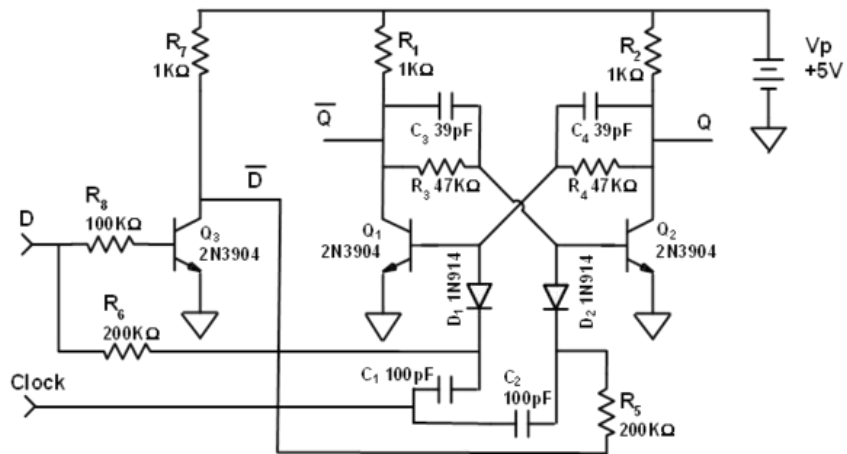
Fonte: [31].

Figura 6.9 - Shift Register (120 elementos discretos).



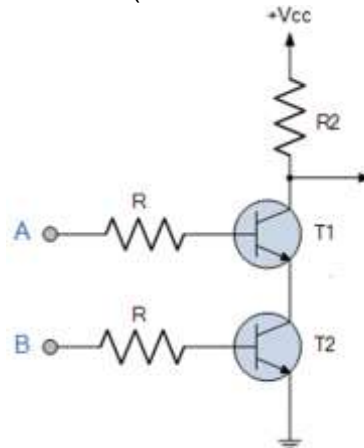
Fonte: [31].

Figura 6.10 – Flip Flop tipo D (18 elementos discretos).



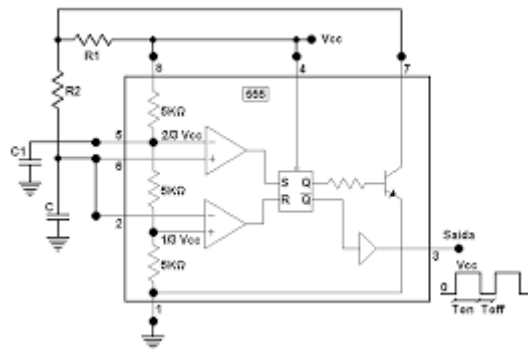
Fonte: [31].

Figura 6.11 - Porta Nand (5 elementos discretos).



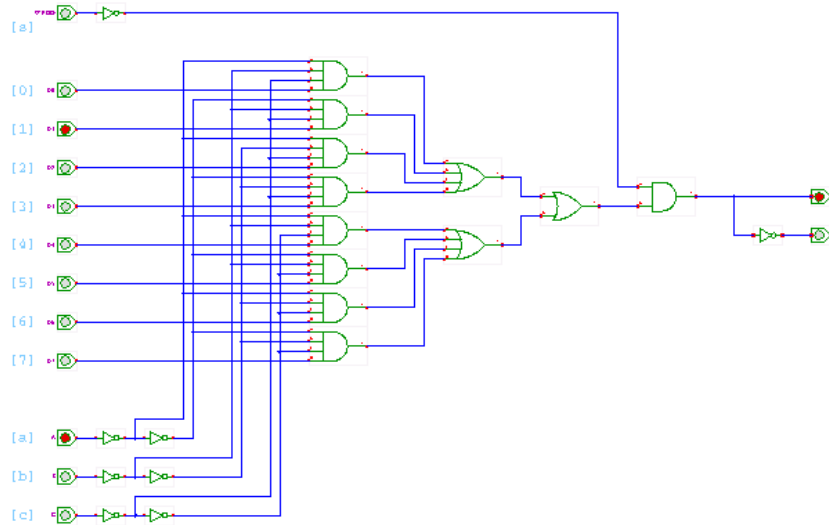
Fonte: [31].

Figura 6.12 - Gerador de Clock (62 elementos discretos).



Fonte: [31].

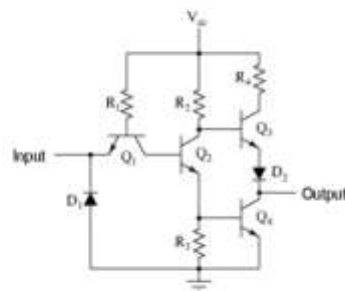
Figura 6.13 - MUX I/O 8 (185 elementos discretos).



Fonte: [31].

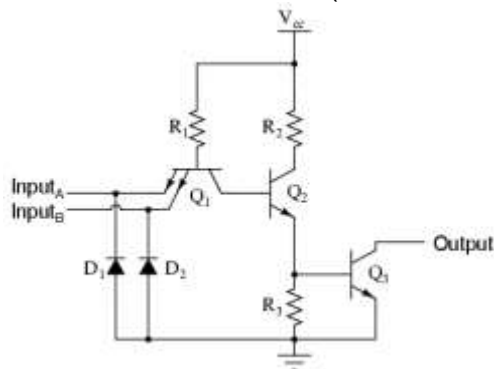
Figura 6.14 - Porta TTL Inversor (10 elementos discretos).

**TTL Inverter**



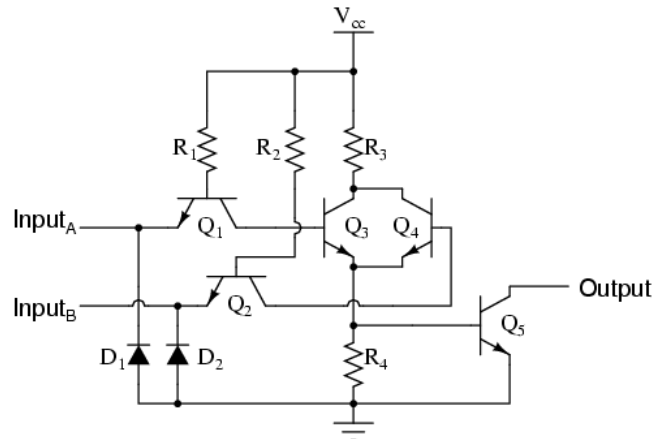
Fonte: [31].

Figura 6.15 - Porta AND ou NAND (8 elementos discretos).



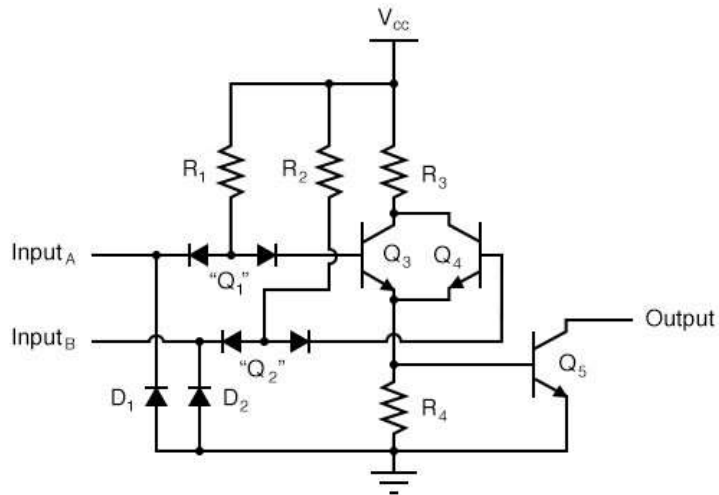
Fonte: [31].

Figura 6.16 - Porta NOR ou OR (11 elementos discretos).



Fonte: [31].

Figura 6.17 - TTL Controle Lógico (13 elementos discretos).



Fonte: [31].

$$Kb_i = 10 n_{bi}/n_{bc}$$

$$Kb_i = 10\left(\frac{8}{541}\right)$$

$$C = (e^{-Kb})$$

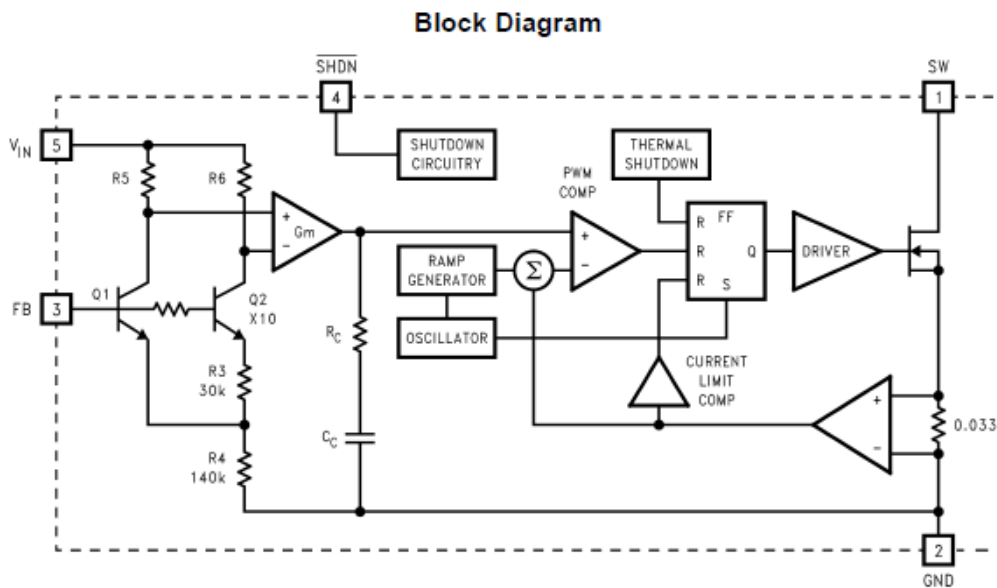
$$C = (e^{-0.146})$$

$$C = 0.862$$

Esse é o fator complexidade para o conversor A/D segundo o método proposto.

4) Para um circuito tipo **Conversor DC/DC (LM2731)**, tem-se:

Figura 6.18 – Ex.: Diagrama de blocos do Conversor DC/DC (LM2731).



Fonte: [32].

$$C = (e^{-K_b})$$

$K_b = 10$  (alta complexidade)

$n_{bi} = 11$  ( $N = \sum$  dos blocos funcionais do 1° nível), Figura 6.18.

**Blocos funcionais** (1° nível):

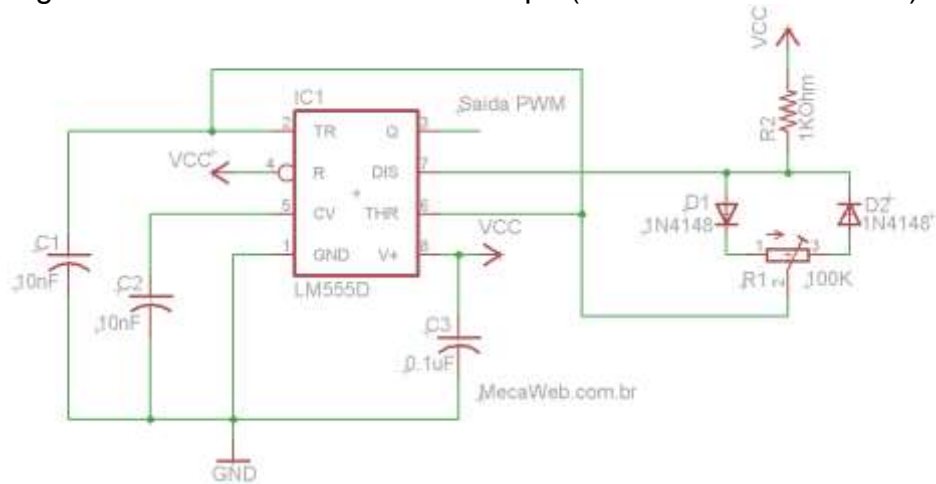
Comparador PWM, FF (RS), Oscilador, Somador, Gerador de Rampa, Limitador de corrente, Circuito *Shutdown*, *Driver*, Amplificador Operacional

**Elementos discretos** (2° nível):

$n_{bc} = 229$  ( $n = \sum$  de elementos discretos no 2° nível) considerando alguns circuitos típicos dessas funções.

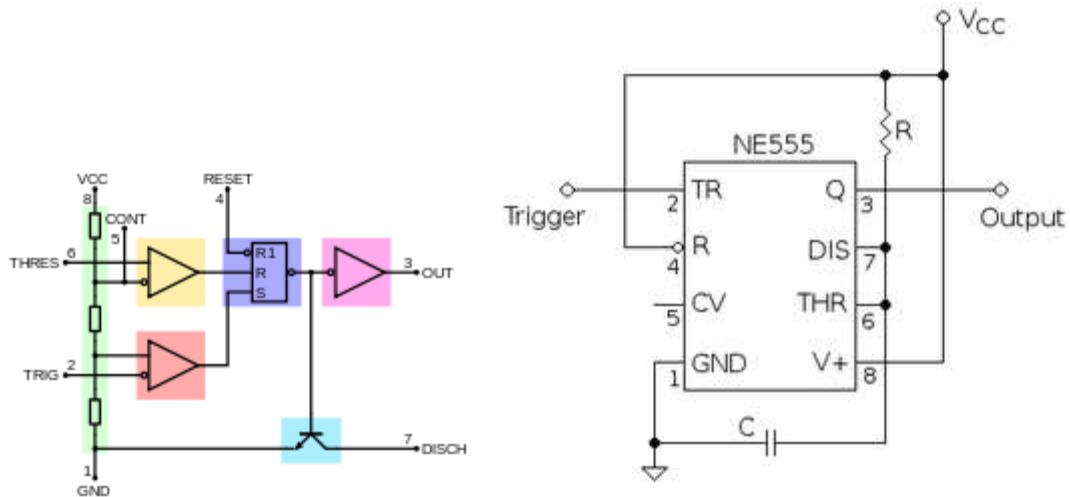
Seguem os circuitos dos elementos de 2° nível mencionados para o Conversor DC/DC da Figura 6.18 e para os outros exemplos que foram analisados e seus correspondentes circuitos discretos.

Figura 6.19 - PWM Gerador de Rampa (48 elementos discretos).



Fonte: [31].

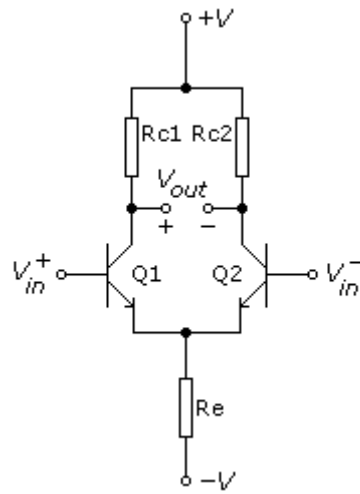
Figura 6.20 - O CI 555 é um dos mais populares e versáteis circuitos integrados já produzidos. Ele é composto por 23 transistores, 2 diodos e 16 resistores.



Fonte: [31].

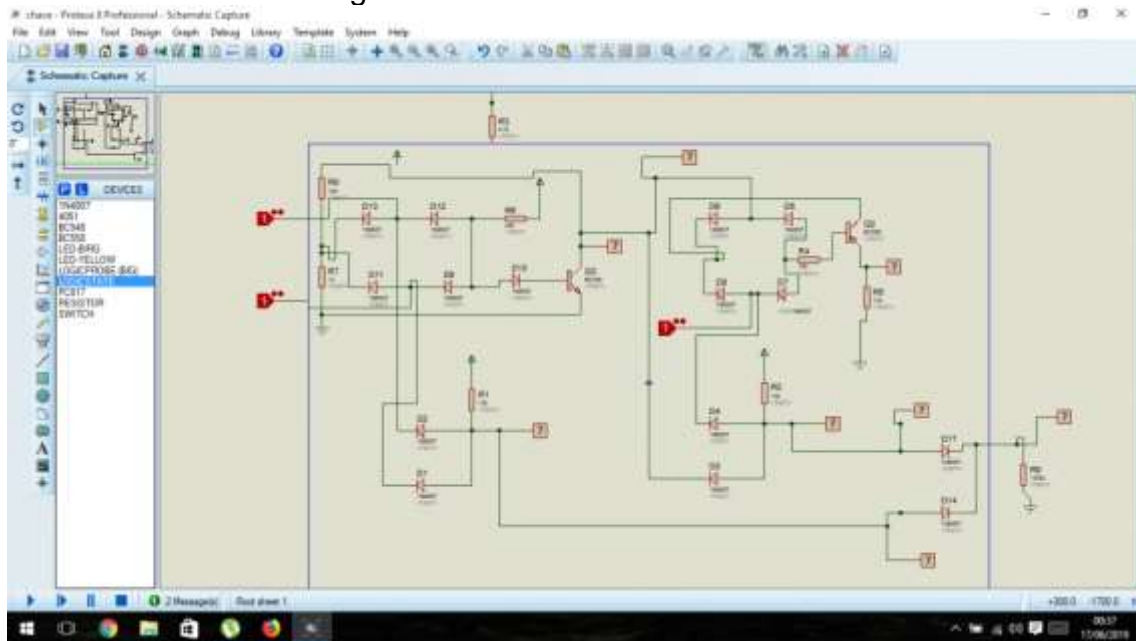


Figura 6.21 - Esquema elétrico de um amplificador diferencial (5 elementos discretos).



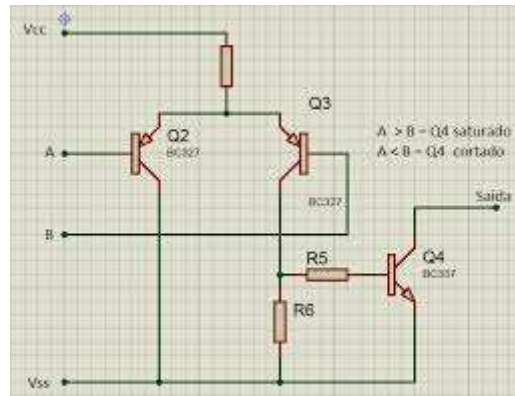
Fonte: [31].

Figura 6.22 - Somador binário 4 bit.



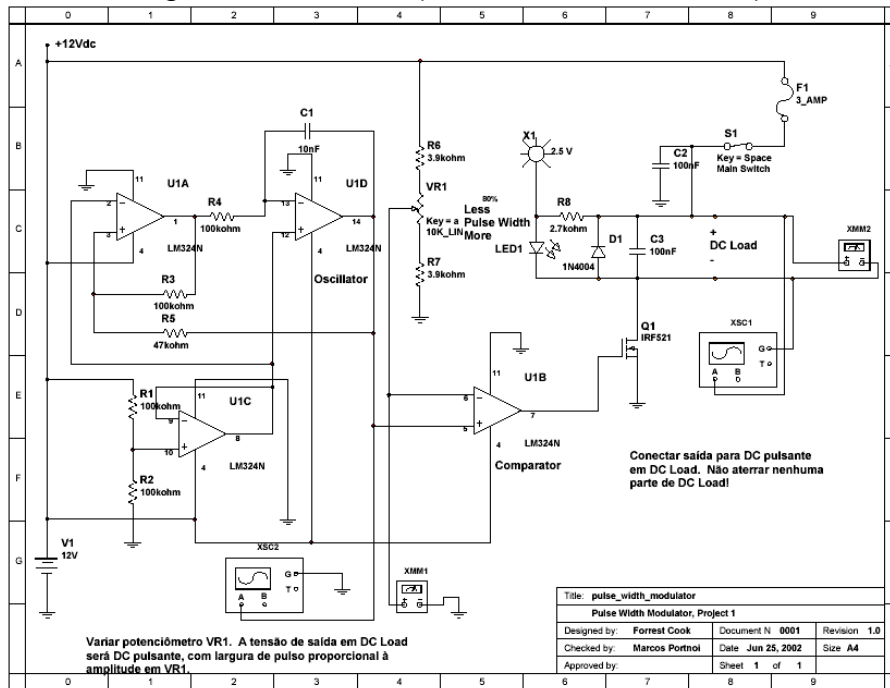
Fonte: [31].

Figura 6.23 - Circuito Comparador (6 elementos discretos).



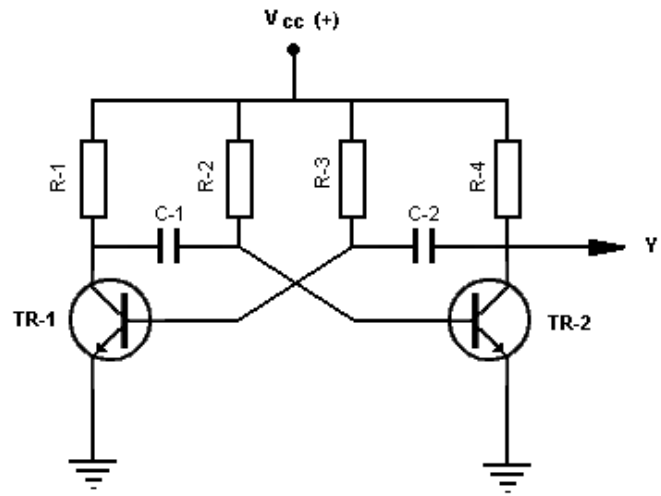
Fonte: [31].

Figura 6.24 - PWM (36 elementos discretos).



Fonte: [31].

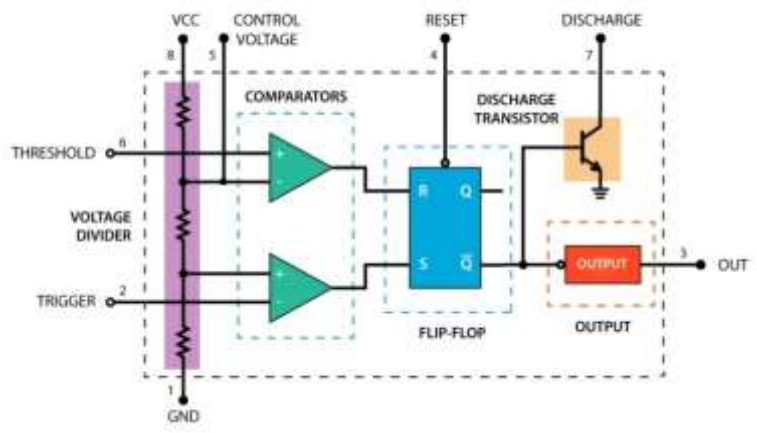
Figura 6.25 - Circuito oscilador (8 elementos discretos).



Fonte: [31].

Figura 6.26 – Flip-Flop RS (42 elementos discretos).

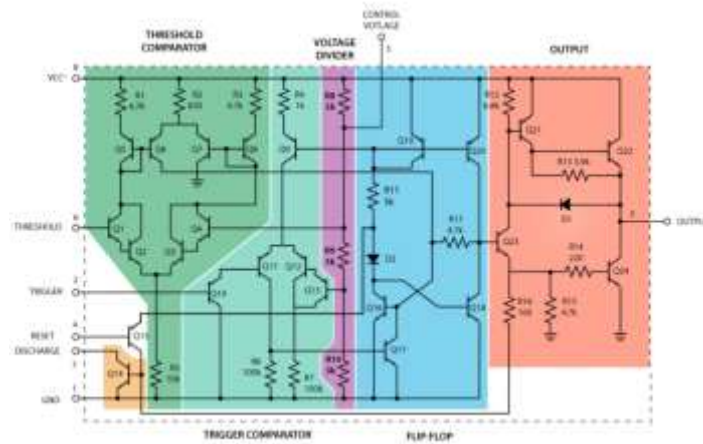
a)



continua

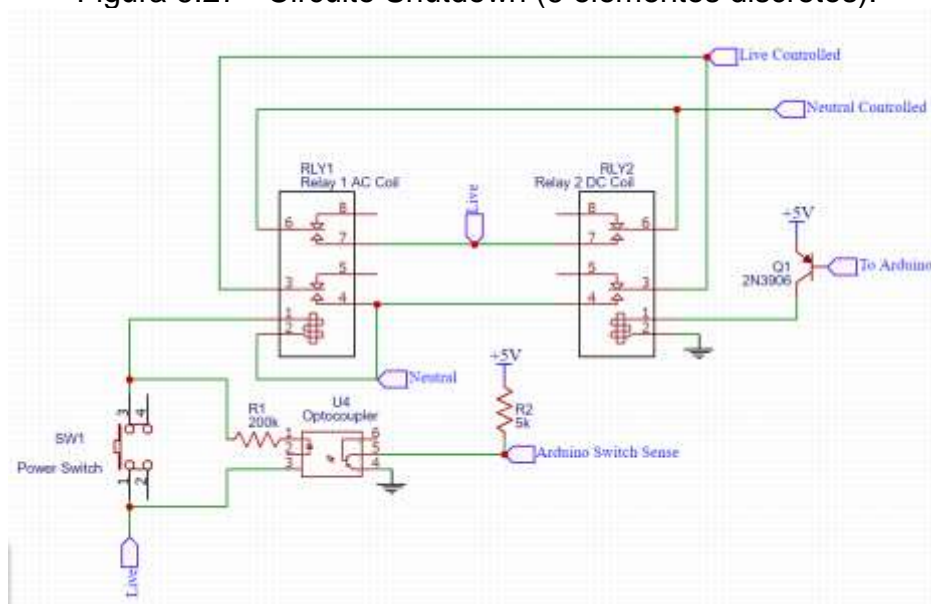
Figura 6.26 – Conclusão.

b)



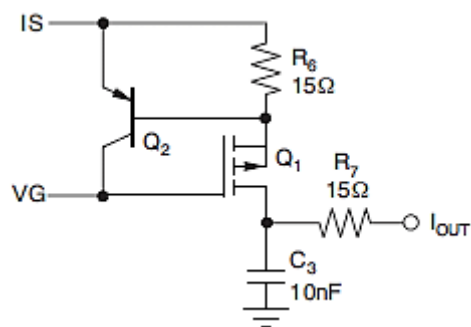
Fonte: [31].

Figura 6.27 - Circuito Shutdown (6 elementos discretos).



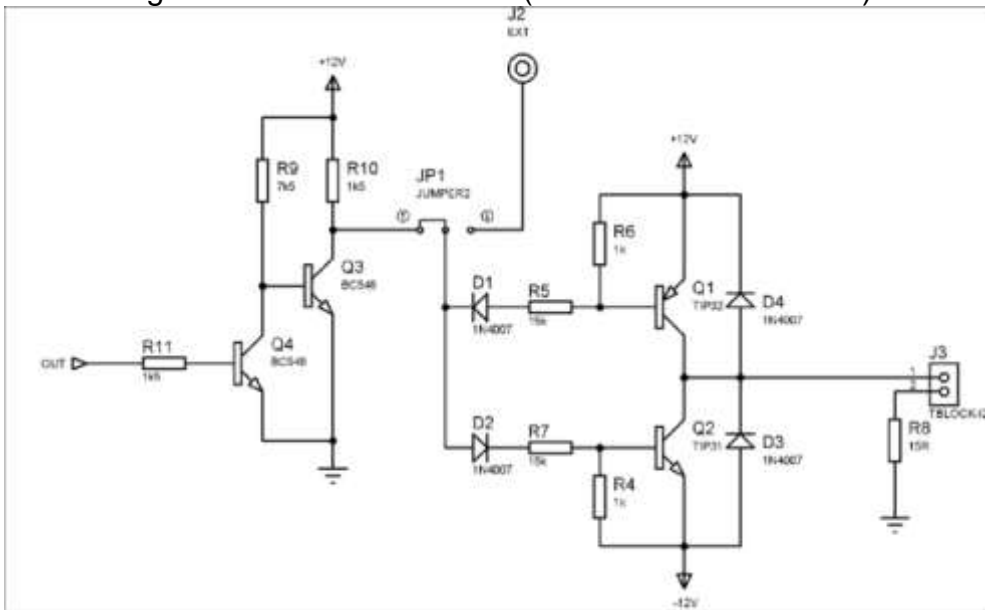
Fonte: [31].

Figura 6.28 - Circuito Limitador de corrente (5 elementos discretos).



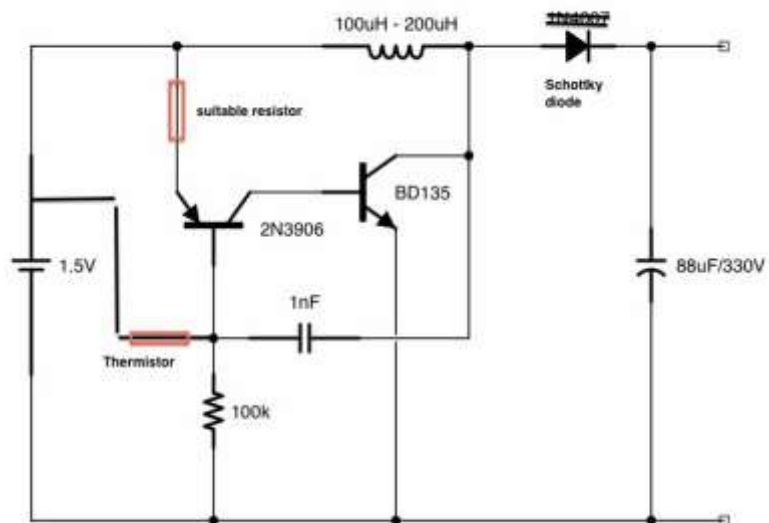
Fonte: [31].

Figura 6.29 - Circuito Driver (16 elementos discretos).



Fonte: [31].

Figura 6.30 - Thermal Shutdown circuit (10 elementos discretos).



Fonte: [31].

Uma estimativa dos componentes discretos dos circuitos referenciados apresenta um  $n_{bc}$  de 229.

Portanto:

$$Kb_i = 10 n_{bi}/n_{bc}$$

$$Kb_i = 10 \left( \frac{11}{229} \right)$$

$$Kb_i = 0,48$$

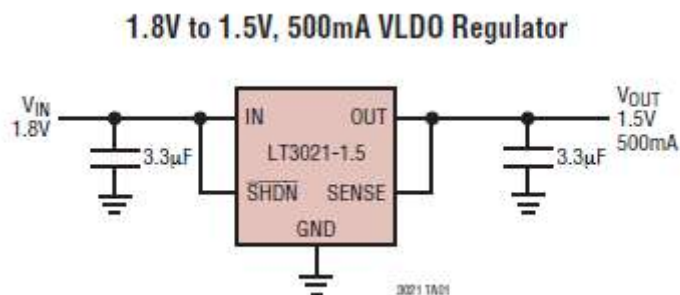
$$C = (e^{-Kb})$$

$$C = 0,6187$$

Esse é o fator complexidade do Conversor DC/DC sugerido pelo método.

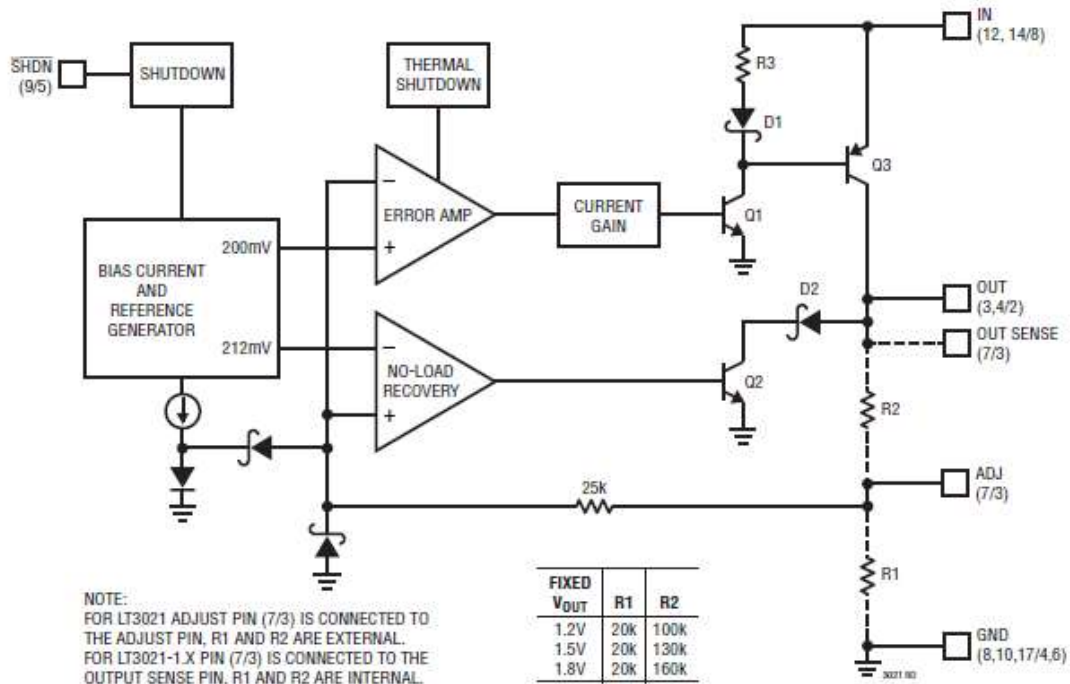
5) Para um CI analógico **Regulador de Voltagem** (LT 3021), tem-se: aplicação típica.

Figura 6.31 - Regulador de Voltagem (LT 3021).



Fonte: [33].

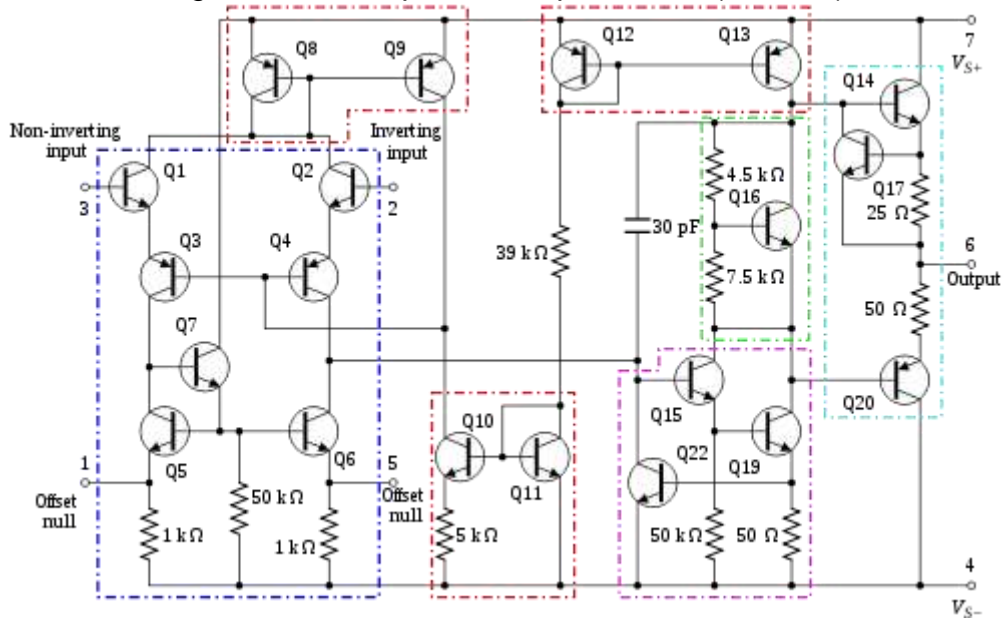
Figura 6.32 - Diagrama esquemático.



Fonte: [33].

$N_{bi} = 6$  ( $n = \sum$  dos blocos funcionais no 1º nível), Figura 6.32

Figura 6.33 - Amplificador operacional (discreto).



Fonte: [31].

Blocos (circuitos equivalentes) como mostrados anteriormente:

- Shutdown*: 6 (elementos discretos);
- Gerador de referência: 12 (elementos discretos);
- Amplificador Operacional (2): 64 (elementos discretos);
- Comparador: 6 (elementos discretos);
- Thermal Shutdown*: 10 (elementos discretos);
- Diodos Zener: 4;
- Diodo: 1;
- Transistor: 2;
- Resistores: 4.

Uma estimativa dos componentes discretos dos circuitos referenciados nos dá um  $n_{bc}$  de 109.

Portanto:

$$Kb_i = 10 n_{bi}/n_{bc}$$

$$Kb_i = 10\left(\frac{6}{109}\right)$$

$$Kb_i = 0,5769$$

$$C = (e^{-Kb_i})$$

$C = 0,5769$ , como sendo o fator de complexidade para o Regulador de Voltagem sugerido pelo método.

Após conseguir estimar uma taxa de falha para o COTS desejado via método FIDES, divide-se o resultado por esse fator de complexidade (rigidez) para se achar uma nova taxa de falha do componente COTS e fecha-se o loop no algoritmo de escolha verificando-se se o valor, ainda, atende à confiabilidade alocada para a unidade/subsistema em questão (Os resultados com as novas taxas de falha dos COTS aqui tratados, segundo o método sugerido podem ser vistos no Capítulo 9 na Tabela 9.1 e na Figura 9.2 para esclarecimento desse processo).

Caso contrário, partimos para uma nova escolha de COTS similares dentre os fabricantes disponíveis ou em casos especiais, como alternativa complementar a ser visto nos Capítulos 7 e 8, aplica-se testes adicionais do tipo: *Burn-in* ou (HAST/HALT) para inferência do MTTF e uma análise de custo, otimizando **Confiabilidade versus Custo versus Risco** e tendo como parâmetro MIL 883 ou ECSS-Q-ST-60-13C Classe 3.

A tomada de decisão na escolha do COTS focará nas preferências dos projetistas com relação às características funcionais elétricas e ambientais e nos fatores de qualidade do fabricante e do componente por meio de uma análise nos processos de auditoria do fabricante e de qualidade do componente inseridos no próprio método FIDES ( $\Pi_{PM} * \Pi_{Process}$ ).

Soma-se a isso, a decisão, ainda, possível por meio do método AHP sobre a utilização do COTS entre fabricantes, de acordo com os critérios e subcritérios elencados, ou não, partindo-se então, para uma nova escolha.



## 7 PROPOSTA DE TESTES AMBIENTAIS PARA COTS

Este Capítulo tem como objetivo apresentar alguns testes que podem ser realizados nos componentes COTS seguindo o padrão/norma ECSS-Q-ST-60-13C [6] aqui abordado. De acordo com a metodologia proposta para os casos em que após o cálculo da nova taxa de falha, seja verificado não atender a confiabilidade alocada para a unidade de interesse (estudo de caso: subsistema de potência) e mesmo assim houver necessidade do uso desses COTS (por ex. por razões de prazo e custo), dá-se início a esse tratamento como alternativa complementar.

Inicia-se tratando os testes de *Burn-in* como o principal teste para eliminação de componentes defeituosos (falha prematura), entendendo que eliminados os componentes que porventura apresentem defeitos de fabricação, os restantes, de acordo com a curva da banheira (curva de taxa de falha com o tempo), mantenham-se constante até o desgaste de vida com o tempo.

Entende-se que a taxa de variação térmica prevista nos testes de *Burn-in* (ciclo: quente ↔ frio) induzirá aos mecanismos de falha física do componente além de uma aceleração no envelhecimento do componente.

Testes adicionais térmicos acelerados com o objetivo de verificarmos o MTTF e estimarmos uma taxa de falha do lote, também, serão realizados. Inspeções e adaptações segundo à referência ECSS-Q-ST-60-13C Class 3.

### **Padrões Espaciais**

Atualmente têm-se dois tipos de padronização para sistemas espaciais endereçadas para componentes EEE.

#### ***ESCC: European Procurement and qualification system (QPL and EPPL)***

- ***ECSS: Q60 series with guidelines for selection and procurement***
  - *Q30 and Q70 series for proper use of EEE parts*
  - *Several other E series*

Segue a Tabela com alguns testes e inspeções a serem aplicados nos COTS seguindo a orientação do padrão/norma ECSS-Q-ST-60-13C Classe 3 (padrão formal).

Tabela 7.1 - Testes e *Screening* para COTS.

Nível de Integração				
Teste	Proposta	Teste e <i>Screening</i> ao nível de componente		
		Capacidade	Vantagens	Limitação
<b>Inspeção Visual Externa</b>	Identificar e inspecionar a unidades sob teste para garantir a integridade do componente ou detectar algum dano visível.	1) Identifica defeitos físicos externos referentes à mão de obra e danos de manuseio, marcação de peças adequadas, especificações físicas (dimensões, configuração, material, etc.), falsificações, bigodes de estanho, etc.	1) É um teste não destrutivo e normalmente usados em amostra de 100%. 2) Melhor visibilidade para inspeção. 3) Identifica / elimina peças falsificadas.	<b>1) Impacto em Custo e cronograma para testar todos os componentes</b> 2) Manuseio dos componentes podem ocasionar danos.
<b>Análise Física Destrutiva/Inspeção Visual Interna</b>	Verificar a integridade do componente	1) Identifica defeito físico interno referente à mão de obra, especificação física adequada da componente (ou seja: configuração, material, die, fio e / ou união da matriz de esferas, contaminação.)	1) Pode descobrir questões de confiabilidade (não visível externamente ) que impacta e limita a vida operacional do componente. 2) Pode identificar peças falsificadas e <i>malware</i> . 3) Feito em paralelo com outros testes de qualificação.	1) É um teste destrutivo tipicamente usado para uma amostra de qualificação <b>2) É um teste caro da componente e a decisão para realizar o teste deve equilibrar: criticidade da aplicação, risco e custo da amostra.</b>
<b>Burn-in</b>	Acelerar as falhas prematuras	1) Não se destina a teste destrutivo	1) Remove componentes fracas antes	<b>1) Impacto em Custo e cronograma</b>

Tabela 7.1 – Continuação.

Nível de Integração				
Teste	Proposta	Teste e <i>Screening</i> ao nível de componente		
		Capacidade	Vantagens	Limitação
	através de stress elevado no ciclo de vida inicial da componente sob teste	<p>para maioria dos componentes, mas, destrutivo para peças defeituosas.</p> <p>2) Usado para peças qualificação e 100% triagem.</p> <p>3) Remove falhas prematuras (Peças com defeito de fabricação) do lote, incluindo falha funcional e degradação paramétrica (temperatura, tensão e corrente).</p>	<p>do nível superior integração.</p> <p>2) Nível superior de aceleração, apropriado para o componente.</p> <p>3) Dá confiança no ciclo de vida do componente.</p> <p>4) Elimina peça defeituosa / defeituosa grande quantidade.</p>	<p><b>para testar todos as componentes</b></p> <p>2) Manuseio das componentes podem ocasionar danos</p> <p>3) Testes excessivos podem levar os componentes a danos.</p> <p>4) Algumas peças podem exigir circuito complexo adicional para apoiar o teste.</p>
<b>Teste por detecção de ruído por impacto de partículas (PIND)</b>	Para detectar partículas soltas e detritos em dispositivo com cavidade interna no encapsulamento que pode causar dano mecânico ou curto-circuito	<p>1) Não se destina como teste destrutivo e normalmente são usados para qualificação e 100% triagem.</p> <p>2) Detecta partículas soltas e / ou detritos dentro da cavidade interna.</p> <p>3) É um indicador da mão de obra do fabricante</p>	<p>1) Permite remover com rapidez peças com objeto estranho ou detritos (FOD) de contaminação</p> <p>2) Pode ser usado em análise de falhas para capturar partículas e determinar a fonte de contaminação (qualifica ou desqualifica o lote).</p> <p>3) Detecta alguns</p>	<p>1) Manuseio das componentes pode ocasionar danos.</p> <p>2) O teste impõe um choque significativo de carga na componente, e pode não ser apropriado para componentes muito sensíveis.</p> <p>3) Não pode ser realizado em dispositivos</p>

Tabela 7.1 – Continuação.

Nível de Integração					
Teste		Proposta	Teste e <i>Screening</i> ao nível de componente		
			Capacidade	Vantagens	Limitação
				<p>problemas de fabricação dentro da componente.</p> <p>4) Teste rápido e barato. Custo insignificante e impacto no cronograma testando cada componente.</p>	do tipo vaso ou PEMs.
<b>Teste de Radiação</b>	<b>Teste de dose acumulada por ionização (TID)</b> especificações	Para detectar componentes que podem não atender às especificações devido à degradação causada pela exposição à radiação ionizante por dose acumulativa	1) Identifica degradação funcional paramétrica no desempenho devido ao TID.		<p>1) É um teste destrutivo e tipicamente usado para amostra Seleccionadas para qualificação</p> <p><b>2) Impacto em custo e cronograma para testar todas os componentes</b></p> <p>3) Peças testadas não podem ser usadas para voo, pois é um teste destrutivo.</p> <p>4) Pode ser difícil ou impossível exercitar as condições semelhantes à de um voo.</p> <p>5) Pode ter</p>

Tabela 7.1 – Conclusão.

Nível de Integração					
Teste		Proposta	Teste e <i>Screening</i> ao nível de componente		
			Capacidade	Vantagens	Limitação
					que blindar componentes ativos do hardware de teste
<b>HAST</b>			1) Remove falhas prematuras (peças com defeito de fabricação) do lote, incluindo falha funcional e degradação paramétrica (temperatura, tensão e corrente).	1) Pode-se inferir a taxa de falha levantando o MTTF	<p><b>1) Impacto em Custo e cronograma para testar uma amostra.</b></p> <p>2) É um teste destrutivo tipicamente usado para uma amostra de qualificação.</p> <p><b>3) É um teste caro e a decisão para realizar o teste deve equilibrar: criticidade da aplicação, risco e custo da amostra</b></p>

Fonte: Adaptado de [6].

**Procedimento:**

Passo 1: **FMECA** para a verificação dos componentes críticos no circuito de interesse;

Passo 2: **Importância relativa de confiabilidade** de cada componente listado. Os menos importantes farão parte do tratamento para escolha do COTS de acordo com o resultado da taxa de falha encontrada;

Passo 3: **Cálculo da taxa da Falha do COTS (Guia FIDES);**

Entrada:

Famílias = x, y, z

x = Semicondutor;

y = CI;

z = Conversor DC/DC

Passo 4: **Cálculo do  $\lambda_{physical}$  ;**

Passo 5: **Cálculo do  $\Pi_{PM}$ ;**

Passo 6: **Cálculo do  $\Pi_{Process}$ ;**

Passo 7: **Complexidade do componente (C);**

Passo 8: **Cálculo final da taxa de falha do COTS;**

$$\lambda_{COTS} = (\lambda_{physical} \times \Pi_{PM} \times \Pi_{Process}) / C$$

Passo 9: **Verificação se a taxa é aceitável para a R(s) alocada para o unidade/subsistema;**

Se sim, usa o COTS se não, ir para o passo (10) Viabilidade.

Passo 10: **Viabilidade (testes e inspeções a serem realizados para verificação da possibilidade de uso do COTS).**

Tabela 7.2 - Visão atual aplicável aos componentes ativos EEE.

	Classe 1	Classe 2	Classe 3
Avaliação	Completa	Completa	Parcial
Justificação	Coleção de dados	Coleção de dados	Coleção de dados
Seleção	Completa	Parcial	Leve
Teste do Lote	Completa	Completa	Parcial

Fonte: Adaptado de [6].

Tabela 7.3 - Testes previstos para COTS.

Atributos/Seleção	Classe 3
Avaliação	Limitado
Documentos Justificação	<p>Coleção de dados</p> <p>Dados do fabricante do componente Status de aprovação Testes de avaliação</p> <p><b>Aquisição de inspeção e testes</b> <b>Teste de aceitação do lote</b> <b>Dados de endurecimento à radiação e RVT</b></p> <p>Nota: Os dados são usados para redução de testes e avaliação do fabricante</p>
Cliente pre cap	Não
Screening	<p>Limitado</p> <p>Teste de PIND e Hermeticidade (se aplicável)</p>
Teste do Lote	<p>Limitado</p> <p>Análise de construção; DPA; <b>Burn-in ou HAST (específico)</b> RVT (Teste de verificação de radiação) <b>Nota: Apenas Burn-in e HAST (caso específico)</b></p>
Cliente comprar fora	
Inspeção de recebimento	<b>Sim</b>

Fonte: Adaptado de [6].

Resumo dos testes e inspeções a serem aplicados nos COTS:

- a) Inspeção de recebimento: dimensional e características visuais (oxidação dos leads e aspecto visual do encapsulamento);
- b) Teste de PIND e Hermeticidade (se aplicável);
- c) Teste de *Burn in* e HAST (casos especiais);
- d) Verificação Documental (coleta de dados do fabricante).

De acordo com os teste e inspeções propostos inicia-se uma análise de custo, risco e probabilidade de falha do componente e sua utilização na missão pretendida.



## **8 ABORDAGENS COMPLEMENTARES PARA SOLUÇÃO DO PROBLEMA: CUSTO, RISCO E AHP.**

Este Capítulo tem por objetivo apresentar algumas abordagens sobre a escolha do COTS, suas implicações e considerações.

### **8.1 Custo**

Faz-se uma análise de custo e risco como uma abordagem complementar e posteriormente uma tomada de decisão baseado na ferramenta AHP para a escolha do COTS adequado para o projeto de interesse.

De acordo com os testes e inspeções elencados no Capítulo 7 para a validação dos tipos de COTS escolhidos do ponto de vista da confiabilidade, inicia-se um estudo dos custos relativos a esses testes/inspeções. Embora, toda uma literatura a respeito de *screening* já tenha sido desenvolvida, buscou-se neste estudo particularizar alguns aspectos relativos a inspeções com base na experiência adquirida ao longo do desenvolvimento de satélites no INPE e usá-la de alguma forma nesse assunto sobre COTS e num futuro trabalho desenvolver um banco de dados sobre COTS.

Todos esses testes/inspeções geram custos, portanto, uma análise de custo balanceada do tipo otimização se fará necessária considerando os seguintes aspectos: confiabilidade, custo e risco.

Pode-se então, nos casos que o componente pretendido ao uso não atender ao requisito de confiabilidade alocado para tal missão e, assim mesmo for preciso usá-lo no projeto considerando os aspectos de planejamento (custo e prazo), testes e inspeções serão necessários para que se comprove ou forneça indicações de confiabilidade. Então, faz-se um *trade-off* entre custo, confiabilidade e risco.

Para isso, um estudo estatístico baseado nas normas da NASA e ECSS nos métodos de ensaio/testes e inferências sobre taxa de falha, considerando MTTF e tamanho da amostra pode-se ajustar um valor equilibrado ou otimizado.

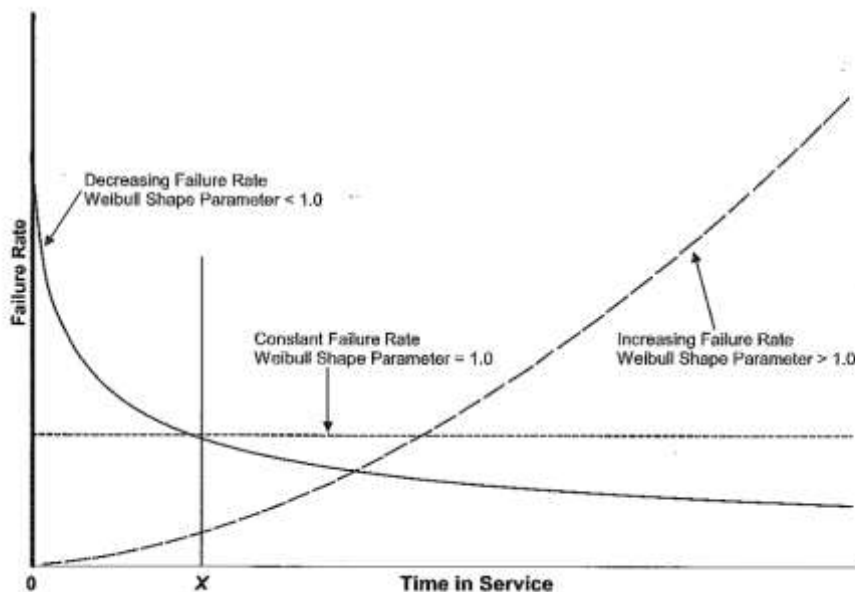
Portanto, uma ferramenta que pode ser usada nesse caso é o LINGO 17.0 [34] software de modelamento de otimização após uma parametrização dos dados

obtidos com os testes. No capítulo 9 é feita uma abordagem sobre custo da qualidade/confiabilidade do componente baseado em custos de prevenção (testes e inspeções) e na Figura 9.2, pode-se ver o fluxograma para escolha do COTS em que se destaca em vermelho o bloco desses futuros trabalhos.

No caso do Tubesat Tancredo 1 (estudo de caso recorrente), temos:

$R(s)$  = curva de Distribuição Probabilidade de Falha (por ex.: Weibull)

Figura 8.1 - Característica da taxa da falha.



Fonte: [19].

Descobrir o valor da variável  $X$  ou o tempo em que o desempenho do componente se comporta de modo previsível ao longo da sua vida útil é a questão.

Um teste de *burn in* pode simular essa condição inicial desde que devidamente adequado para esse objetivo ou ajustado com os parâmetros eletrotérmicos corretos, segundo os padrões e procedimentos de *screening* fornecidos pelas normas conhecidas.

Uma das finalidades do teste de *burn in* é a eliminação dos componentes defeituosos de fabricação (falha prematura). Portanto, após a aplicação desse teste e eliminando-se os componentes defeituosos que porventura falhem durante o teste, estaríamos numa região mais confortável da curva da banheira (*bathtub*).

Ainda assim, sem poder estimar uma taxa de falha do componente em questão. Então, aplica-se um teste acelerado do tipo (HAST, HALT) que pode indicar falhas nos componentes COTS testados e, desse modo, estimar em função do tamanho do lote algum dado relativo à taxa de falha e que daria alguma clareza sobre a utilização, ou não, do COTS.

Seguem alguns elementos de custo, que devem ser considerados, com base nos estudos de custo de um Laboratório de Integração e Testes:

- a) os custos relativos ao preparo do *Set up* de teste (tamanho do lote);
- b) câmara térmica (hora de teste);
- c) preparo da fiação entre o *Set up* de teste e a câmara térmica;
- d) instrumentos de testes (hora de uso);
- e) operador (Hh);
- f) infraestrutura.

Alguns elementos apontados no custo total de um teste do tipo *Burn in*.

Além disso, uma série de custos relativos a inspeções, testes térmicos (HAST, HALT), infraestrutura e homem/hora devem ser computados para se chegar a um valor aproximado de um *Up grade* desejado.

O investimento nesses testes e inspeções darão um retorno positivo em termos de aprendizado e conhecimento sobre COTS. A possibilidade de criação de uma biblioteca de dados que poderá ser usada em projetos futuros e adotar-se a tendência atual na utilização desses componentes.

A ideia de um *Up Grade* considerando o conjunto de testes (*Burn in* + HAST ou outro tipo de testes térmico) para entender o comportamento do COTS e extrair algum dado referente a sua confiabilidade, deve-se analisar o seguinte:

- 1) O custo do *Burn in* pode ser minimizado pela otimização da duração do *Burn in*. Existem três componentes no custo do *Burn in* segundo [19] e adaptada do guia prático sobre testes acelerados:
  - a) custo de laboratório;
  - b) custo de falha no laboratório;

- c) custo de falha no campo (no caso do satélite pode ser catastrófica, perda total, custo intangível!).

Por exemplo, custo total de um teste de *Burn-in* de um produto/componente, usando a função de confiabilidade de Weibull (distribuição de probabilidade de falha) é:

$$C = Ax + L[(1 - R(x))] + F\left[1 - \frac{R(x+w)}{R(x)}\right]$$

Onde:

A: custo por tempo de *Burn in*

L: custo por falha durante o *Burn in*

F: custo da falha no campo ( depende da criticidade da falha do componente)

w: periodo de garantia (tempo de missao, fora do periodo estimado nao haveria custo)

**Por exemplo:**

A: R\$ 0.037 [custo por hora de *Burn-in* (hipotético)];

L: R\$25 [custo para reparo durante o *Burn-in* (hipotético)];

W: garantia (estudo de caso, tempo de missão = 1ano ou 8760 h);

F: R\$900 [Custo da falha em campo (hipotético, por ex. de um componente crítico no satélite, onde não tem manutenção), portanto, custo intangível, perda total do satélite ou custo do satélite].

Parâmetros de um fabricante de componentes específico (distribuição Weibull:

$\alpha$ ;  $\beta$ )

p.ex.:

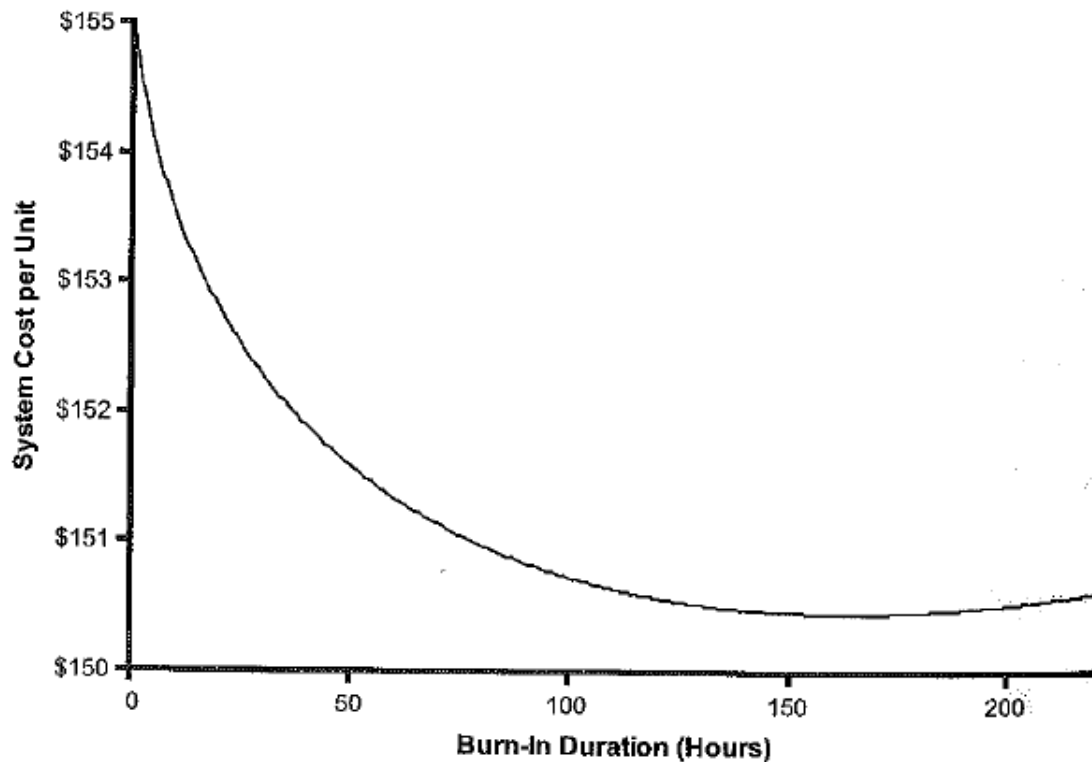
$\alpha$ : 0.6 *shape*

$\beta$ : 140.000 escala

$$C = 0.037x + 25\left[1 - e^{-\left[\frac{x}{140.000}\right]^{0.6}}\right] + 900\left[1 - \frac{e^{-\left[\frac{8760}{140.000}\right]^{0.6}}}{e^{-\left[\frac{x}{140.000}\right]^{0.6}}}\right]$$

Na Figura 8.2, pode-se ver que a duração do *Burn-in* ótimo, está em: 163h.

Figura 8.2 - Solução gráfica para a duração do *burn-in*.



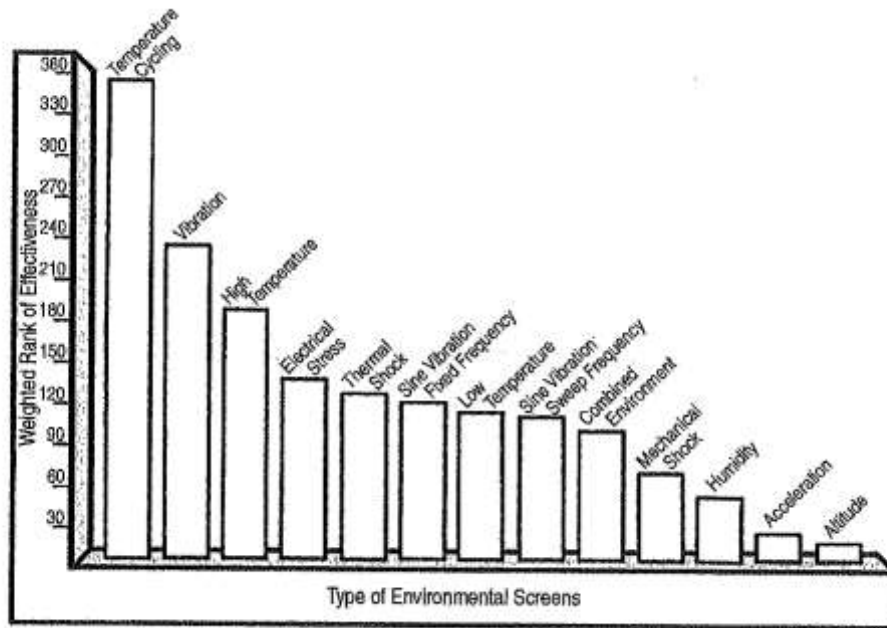
Fonte: [19].

O *Burn-in* somente é efetivo se a taxa de falha é decrescente. Referindo-se a Figura 8.2, se um produto/componente passou pelo *Burn-in* por um período de tempo de  $t = 0$  até  $t = x$ , o componente será impactado em uma das três maneiras possíveis:

- a) se a taxa de falha está crescendo, ou seja, a taxa de falha no tempo  $= x$  é maior que a taxa de falha no tempo  $= 0$ , o *Burn-in* nesse caso reduziu a confiabilidade do produto/componente;
- b) se a taxa de falha é constante, ou seja, se a taxa de falha no tempo  $= x$  é igual a taxa de falha no tempo  $= 0$ , o *Burn-in* não teve efeito sobre a confiabilidade do produto/componente;
- c) se a taxa de falha está decrescendo, ou seja, a taxa de falha no tempo  $= x$  é menor que a taxa de falha no tempo  $= 0$ , o *Burn-in* melhorou a confiabilidade do produto/componente.

Considerando a ciclagem térmica como o mais efetivo dos tipos de *screen stress test*, como pode ser visto na Figura 8.3, de acordo com o IES *Environmental Stress Screening of Electronic Hardware* (ESSEH), têm-se:

Figura 8.3 - Tipos de Screen ESS.



Fonte: [19].

Nesse caso, o interesse recai nos testes HAST, HALT ou MTOL.

Um bom ponto de partida para iniciar uma ciclagem térmica com perfil de stress efetivo deveria começar com o seguinte:

- extremos de temperatura igual ou maior que 100°C°;
- a taxa de variação da temperatura igual ou maior que 5°C;
- velocidade do ar de aproximadamente de 750 (*feet per minute*) no produto/componente;
- ciclos suficientemente efetivos para que causem falhas latentes do produto/componente.

Abaixo, uma tabela extraída do Guia FIDES relativo à confiabilidade do componente e os testes aos quais foram submetidos. As colunas destacadas fazem parte dos testes que podem ser aplicados para seleção dos COTS no nível confiável (*Reliable*) a serem usados:

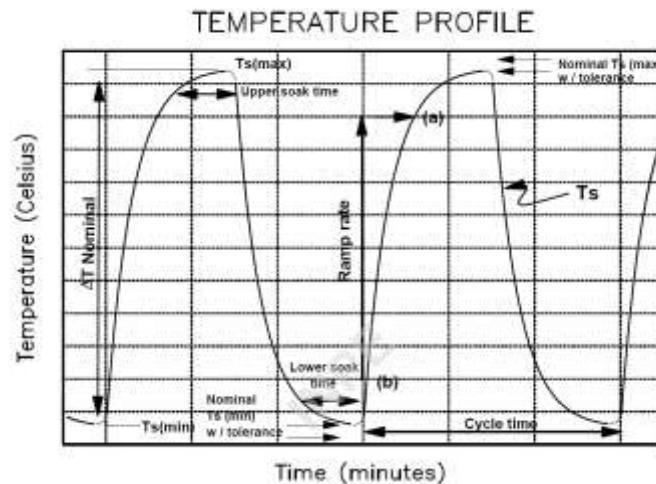
Tabela 8.1 - Testes a serem executados (colunas com setas) para seleção de Circuito Integrado COTS.

Title of accelerated aging test	High Temperature Operating Life (HTOL)	Pre-conditioning before TC, THB or HAST	Temperature Cycling (TC)	Pressure Cooker Test (PCT)	Highly Accelerated Stressed Tests (HAST)	Temperature Humidity Biased (THB)
Reference standards	EIA JESD-22-A108 A or equivalent	EIA JESD-22-A113A or equivalent	EIA JESD-22-A104 or equivalent	EIA JESD-22-A102 or equivalent	EIA JESD-22-A110 or equivalent	EIA JESD-22-A101 or equivalent
Test results						
Very reliable level A	1000h, 125°C, Vmax, 231/0 <sup>(1)</sup> 1500/0*	done	1000 cycles -55°C/+150°C or 500 cycles -65°C/+150°C 231/0 or 1000 cycles -55°C/125°C 385/0	168 h at 121°C / 100%RH 231/0	168 h at 130°C/ 85%RH 231/0	168 h at 130°C/ 85%RH 231/0
Very reliable level B	1000h, 125°C, Vmax, 154/0 <sup>(1)</sup> 900/0*	done	1000 cycles -55°C/+125°C, 154/0	96 h at 121°C / 100%RH, 154/0	96 h at 130°C/ 85%RH, 154/0	96 h at 130°C/ 85%RH, 154/0
Reliable	1000h, 125°C, Vmax, 77/0 <sup>(1)</sup> 231/0*	done	500 cycles -55°C/+125°C 154/0	96 h at 121°C / 100%RH, 77/0	96 h at 130°C 85%RH, 77/0	1000 h at 85°C/85%RH, 154/0
Not reliable	Design below the reliable level	Not done	Design below the reliable level			

Fonte: Adaptado de [18].

*Temperature Cycling (TC)*

Figura 8.4 - Perfil de temperatura representativo para testes de ciclagem térmica (JESD-22 A104E).



Time (minutes)  
Fonte: [18].

*Highly Accelerated Temperature and Humidity Stress Test (HAST).*

Tabela 8.2 - Temperatura, Umidade relativa e Duração (JESD-22 A110E).

Temperature <sup>1</sup> (dry bulb °C)	Relative Humidity <sup>1</sup> (%)	Temperature <sup>2</sup> (wet bulb, °C)	Vapor Pressure <sup>2</sup> (psia/kPa)	Duration <sup>3</sup> (hours)
130 ± 2	85 ± 5	124.7	33.3/230	96 (-0, +2)
110 ± 2	85 ± 5	105.2	17.7/122	264 (-0, +2)

Fonte: [18].

De acordo com a Tabela 8.1, após termos selecionados os testes e inspeções conforme sugerido anteriormente segundo às condições de contorno estabelecidas, podemos sim determinar se o componente COTS escolhido atende aos requisitos de missão ou não, pois já se tem condição de julgar com base no desempenho do componente após esse *screening* proposto.

## 8.2 Análise de risco

Apresenta-se o artigo publicado pela NASA [2].

Novamente faz-se uma abordagem sobre riscos associados às demandas dos projetos atuais com celeridade em prazo e limitação em custo e as possíveis condições de contorno para consecução desses projetos.

As demandas por desempenho melhorado em programas espaciais têm aumentado e a pressão por orçamentos e cronogramas restritos continua.

A intenção em implementar novas tecnologias de aviônicos já usadas em voos anteriores tem aumentado incluindo a tecnologia COTS.

Programas espaciais são incentivados a usar aviônicos já conhecidos para redução de desenvolvimento de projeto, testes e custos de avaliação.

Contudo, em alguns casos essas tecnologias não foram totalmente verificadas de acordo com os procedimentos padrões e apropriadas para diferentes ambientes espaciais ou aplicações pretendidas, introduzindo risco para os sistemas espaciais.

Para evitar a introdução de risco é importante entender o impacto do risco nas tecnologias propostas em termos de:



- a) Definição da missão – (**M**ission);
- b) Ambiente – (**E**nvironmental);
- c) Aplicações – (**A**pplication);
- d) Tempo de Vida – (**L**ife).

**Missão:**

Objetivo final da ciência ou objetivo do esforço geral. A missão no acrônimo **MEAL** identifica o tipo de missão. Isso é uma missão humana (homem a bordo) ou robótica? Quais categorias de missão ou classificação de carga útil e qual nível de risco da missão estão dispostos a enfrentar? Isso sempre implica em diferentes conjuntos de requisitos de componentes e critérios de teste.

O entendimento da missão ajuda a definir os requisitos associados com o ambiente, define as aplicações para atingir os objetivos da missão. O gerenciamento da missão ajuda a definir os níveis de risco dispostos a serem tomados.

**Ambiente:**

As condições relevantes ambientais que o sistema experimentará durante o ciclo de vida completo da missão (ex.: Efeitos térmicos, efeitos eletromagnéticos, efeitos eletrostáticos e efeitos de radiação, etc.).

**Aplicação:**

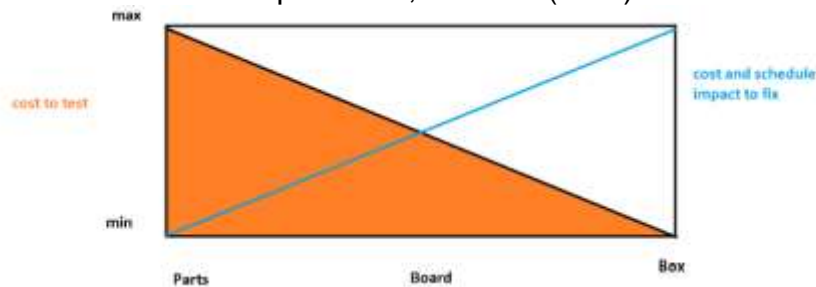
Funções específicas para serem executadas que cumpram os objetivos da missão. As aplicações da missão incluem a arquitetura e seus requisitos de redundância. Isso habilita o componente a ser usado para uma aplicação e/ou função. Adicionalmente, isso dá ao projetista um entendimento de como os componentes serão usados no subsistema ou sistema corretamente e sua efetividade.

Os projetistas podem considerar como os componentes fazem interface e interagem com o resto do circuito elétrico e outros subsistemas durante toda a missão.

### Tempo de Vida:

O tempo total durante o qual o sistema deve desenvolver suas funções pretendidas inclui desde a fabricação dos módulos, desenvolvimento dos sistemas, implementação dos sistemas, operações dos sistemas e descanso dos sistemas para a completa missão.

Figura 8.5 - Noção de custo/cronograma e seus impactos desenvolvendo testes ao nível de Componentes, Cartões (PCA) e Caixas.

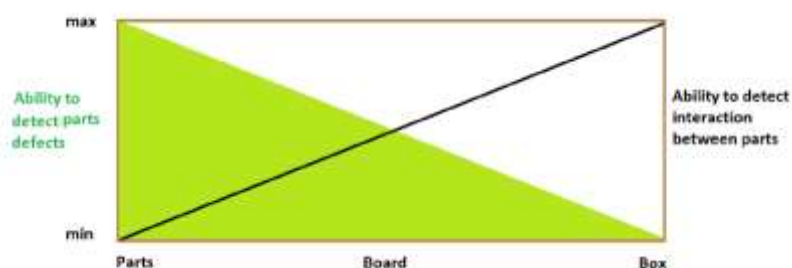


Fonte: [2].

Na Figura 8.5, mostra-se na representação simplificada que o custo para testar diminui enquanto o impacto no custo e no cronograma para correção aumenta em função da realização de testes ao nível de componente, placa e caixa. Isso, ocorre em componente devido ao número de testes independentes necessários diminuir ao passar para um nível mais alto de teste. O custo do teste pode ser menor, mas, as consequências de custo e cronograma da ocorrência de uma falha aumentam drasticamente. O custo total (relação custo vs risco) é menor se não houver problema ou falha for detectada em níveis mais altos de teste.

Conclui-se que os testes são importantes para minimização de impactos futuros e consequências. Portanto, há a necessidade de se buscar um meio termo ou dosar e quantificar os testes necessários de modo a se ter um nível de confiança razoável para as tomadas de decisão na hora da escolha do COTS a ser usado.

Figura 8.6 - Noção de capacidade de detectar defeitos em componentes e interação entre componentes quando desenvolvendo teste ao nível de componentes, PCA e Caixa.



Fonte: [2].

Na Figura 8.6, em uma representação simplificada, mostra-se que o teste em níveis mais baixos de integração melhora a capacidade de detectar defeitos de componentes. Muitos defeitos parciais são mascarados em níveis mais altos de integração, mas, identificar esses defeitos aumentará a confiabilidade do sistema, reduzindo a probabilidade de falhas latentes. Por outro lado, testar em níveis mais altos de integração é mais eficaz para detectar interações entre defeitos de fabricação de componentes e montagem, que afetam a confiabilidade.

Com os testes e inspeções propostos, inicia-se uma análise de custo, risco e probabilidade de falha do componente e sua utilização na missão desejada.

Em função da confiabilidade alocada para o subsistema mais crítico do satélite, aplica-se o método sugerido para minimizar os riscos da missão aumentando os custos de testes e inspeções conforme a Tabela 8.3. Onde, relativiza o custo total do satélite e dos componentes com ganhos no conhecimento do COTS e no desenvolvimento de uma biblioteca. Além de, se livrar das dificuldades na aquisição, do tipo ITAR.

Tabela 8.3 - Considerações para pequenos satélites (Confiabilidade x Custo x Risco).

Características da Missão\Satélite	CubeSat (ex.TancredoSat)	NanoSat (ex.ItaSat)	MicroSat (ex.SCD)	Obs.
Órbita	LEO	LEO	LEO	Impacto em termos de radiação é baixo
Tempo de missão	1 ano	2 anos	3 anos	Favorável para COTS
Potência de Consumo	5 W	10 W	150 W	Baixa Favorável para COTS
Massa	±1 Kg	1-10 Kg	10-100 kg	Desprezível p/ blindagem à radiação
R(s) Confiabilidade	?	?	Alocada	Deve ser alocada
Custo de teste – Inspeções e testes Térmicos (tamanho da amostra n)	\$\$\$ Nota: COTS Screening	\$\$	\$	Balanceamento Confiabilidade x Custo
Risco	Alto/Médio	Médio	Baixo	Avaliação de Risco x Custo baseado no tempo de vida real dessas missões
Custo Componente = ± 5% C Total	USD 700 (COTS)	USD70K (COTS)	USD1M (JANS)	Balanceamento Custo x Risco

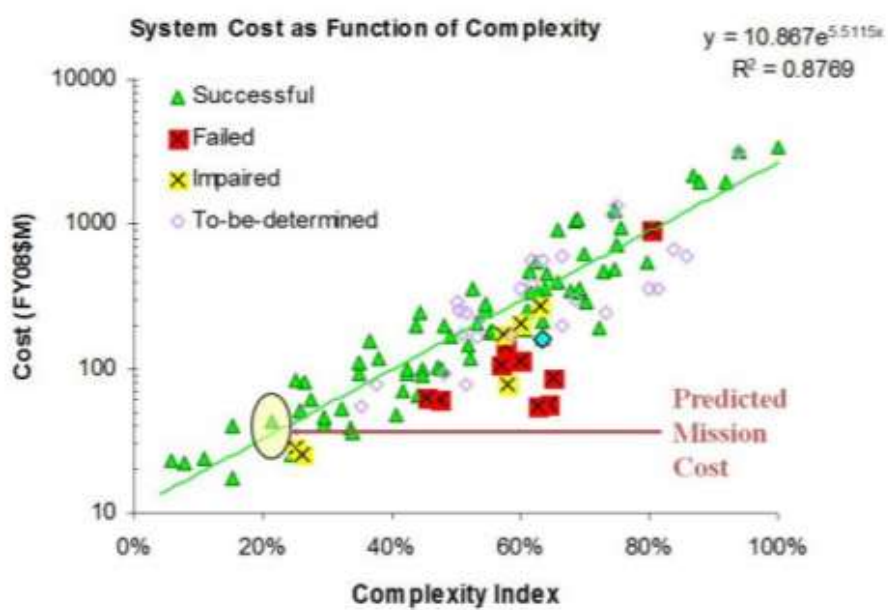
Fonte: Produção do Autor.

Na Figura 8.7 pode-se ver um levantamento estatístico com a curva parametrizada dos lançamentos de satélites em função da complexidade dos sistemas e o custo relativo.

Verifica-se que os quadrados vermelhos ou satélites que falharam denotam uma complexidade maior nos sistemas e um custo que excede a previsão inicial.

Pode-se concluir que à medida que os componentes de um sistema vão se tornando cada vez mais complexos e sofisticados, as falhas ainda não são previstas ou o TRL, ainda, não atingiu a maturidade necessária. Portanto, tem-se um fator de risco alto associado e mensurá-lo depende da experimentação.

Figura 8.7 – Custo do Sistema em função da Complexidade.



Fonte: [38].

### 8.3 AHP

Apresenta-se o Processo Analítico Hierárquico (AHP), segundo [20].

O processo hierárquico analítico (AHP) é uma técnica estruturada para organizar e analisar decisões complexas, baseadas em matemática e psicologia. Foi desenvolvido por Thomas L. Saaty na década de 1970 e tem sido amplamente estudado e refinado desde então.

Têm uma aplicação particular na tomada de decisões em grupo e é usado em todo o mundo em uma ampla variedade de situações de decisão em áreas como: governo, negócios, indústria, saúde, construção naval e educação.

Em vez de prescrever uma decisão “correta”, o AHP ajuda os tomadores de decisões a encontrar uma que melhor se adapte ao objetivo e à compreensão do problema. Ele fornece um quadro abrangente e racional para estruturar um problema de tomada de decisão, para representar e quantificar seus elementos, para relacionar esses elementos com os objetivos gerais e para avaliar soluções alternativas.

Os usuários do AHP devem primeiramente decompor seu problema de decisão em uma hierarquia de subproblemas mais facilmente compreendidos, cada um dos quais pode ser analisado de forma independente. Os elementos da hierarquia podem se relacionar com qualquer aspecto do problema de decisão tangível ou intangível, cuidadosamente medido ou estimado, bem ou mal compreendido – qualquer coisa que se aplique à decisão em questão.

Embora, possa ser usado por indivíduos que trabalhem em decisões diretas, o Processo Hierárquico Analítico (AHP) é mais útil quando equipes de pessoas estão trabalhando em problemas complexos, especialmente aqueles com grande participação, envolvendo percepções e julgamentos humanos, cujas resoluções e repercussões são no longo prazo. Possui vantagens únicas quando elementos importantes da decisão são difíceis de quantificar ou comparar, ou onde a comunicação entre membros da equipe é impedida por suas diferentes especializações, linguagem ou perspectivas.

As situações de decisão a que o AHP pode ser aplicado incluem:

- a) **escolha** – a seleção de uma alternativa em um determinado conjunto de alternativas, geralmente, onde há vários critérios de decisão envolvidos;
- b) **classificação** – colocando um conjunto de alternativas em ordem do mais ao menos desejável;
- c) **priorização** – determinar o mérito relativo dos membros de um conjunto de alternativas, ao contrário de selecionar um único ou simplesmente classificá-los;
- d) **alocação de recursos** – distribuição de recursos entre um conjunto de alternativas;
- e) **benchmarking** – comparando os processos na própria organização com os de outras organizações de melhor qualidade;
- f) **gestão da qualidade** – lidar com os aspectos multidimensionais da melhoria da qualidade;
- g) **resolução de conflitos** – resolução de conflitos entre componentes com objetivos ou posições aparentemente incompatíveis.

O procedimento para usar o AHP pode ser resumido como:

- a) **modele o problema** como uma hierarquia que contenha o objetivo da decisão, as alternativas para alcançá-lo e os critérios para avaliar as alternativas;
- b) **estabeleça prioridades** entre os elementos da hierarquia, fazendo uma série de julgamentos baseados em comparações dos elementos. Ao comparar as compras potenciais de imóveis comerciais, por exemplo, os investidores podem dizer que preferem a localização sobre o preço e o preço ao longo do tempo;
- c) **sintetize esses julgamentos** para produzir um conjunto de prioridades gerais para a hierarquia. Isso combinaria os julgamentos dos investidores sobre a localização, o preço e o cronograma das propriedades A, B, C e D nas prioridades gerais de cada propriedade;
- d) **verifique a consistência dos julgamentos**;

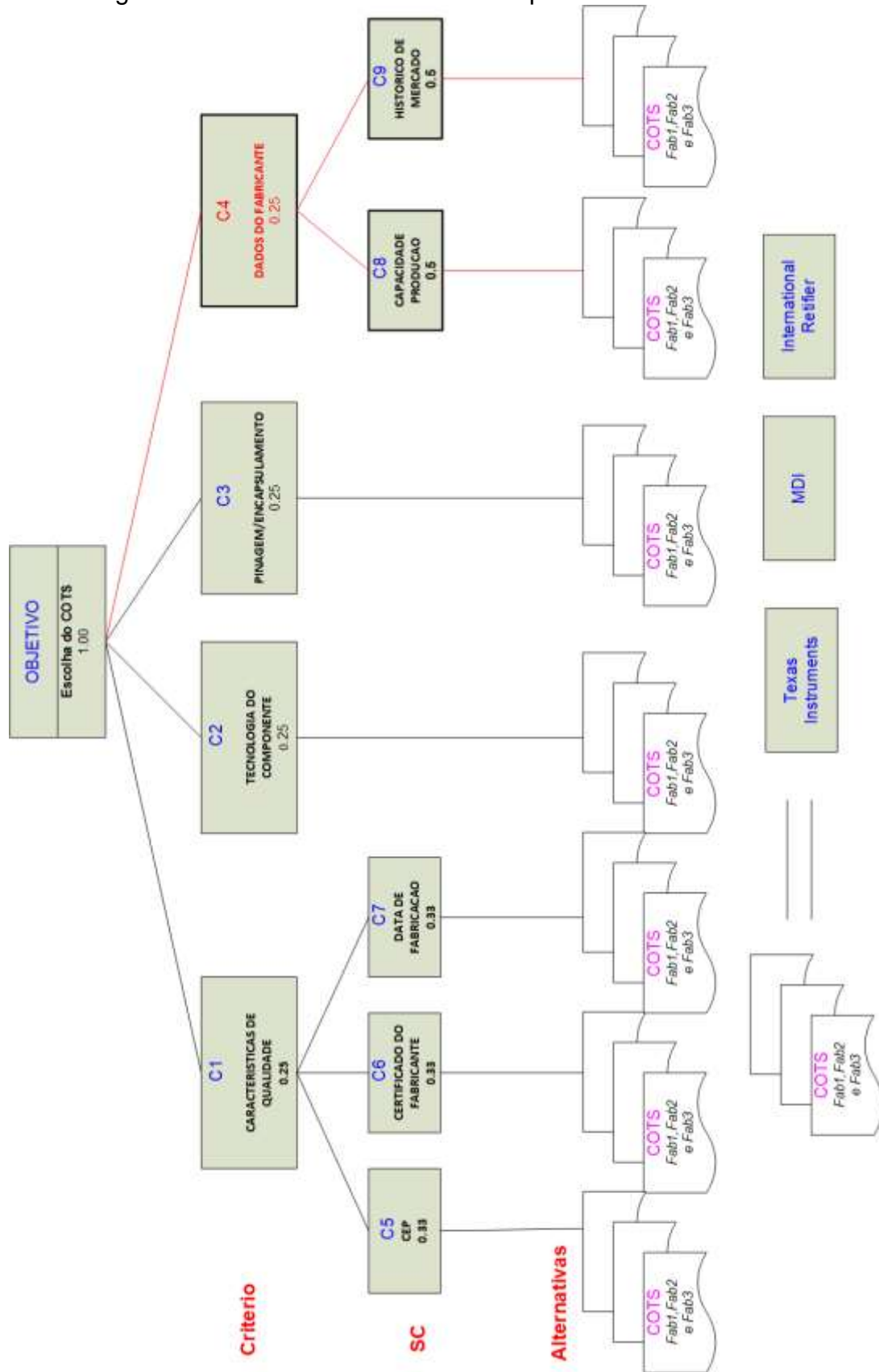
e) **chegue a uma decisão final** com base nos resultados desse processo.

Os critérios e sub critérios elencados a seguir, partiram de uma análise prévia com experts da área afim. Nesse caso, com um engenheiro especialista na área de potência sendo um dos participantes (Figura 8.9 e Figura 8.10), atribuindo pesos de acordo com a ferramenta AHP (SW) [21] numa análise comparativa entre critérios e sub critérios, e apresentando o ranking do resultado da análise na Figura 8.11

Apresenta-se um modelo AHP na Figura 8.8 para a escolha do COTS segundo os critérios e sub critérios elencados:



Figura 8.8 - Modelo da estrutura AHP para escolha do COTS.



Fonte: Produção do Autor.

Figura 8.9 - Participante 1.

**AHP Analytic Hierarchy Process** n= 7 Input

Objective: Escolha do COTS

**Only input data in the light green fields!**

Please compare the importance of the elements in relation to the objective and fill in the table: Which element of each pair is more important, **A or B**, and **how much** more on a scale 1-9 as given below.

Once completed, you might adjust highlighted comparisons 1 to 3 to improve consistency.

n	Criteria	Comment
1	Risco	
2	Custo	
3	N. de Pinos	
4	Potencia dissipada	
5	Encapsulamento	
6	Historico de Fabricação	
7	Capacidade de Produção	
8	Criterion 8	
9		for 9&10 unprotect the input sheets and expand the
10		question section ("+" in row 66)

Participant 1	1		$\alpha$ : 0,1	CR: 55%	
Name	Weight	Date	Consistency Ratio		

		Criteria		more important ?	Scale		
i	j	A	B	A or B	(1-9)		
1	2	Risco	Custo	A	5		
1	3		N. de Pinos	B	7		
1	4		Potencia dissipada	B	6	2	B1
1	5		Encapsulamento	A	4		
1	6		Historico de Fabricação	A	5	1	B2
1	7		Capacidade de	A	6		
1	8		Criterion 8				
2	3		Custo	N. de Pinos	B	6	
2	4	Potencia dissipada		B	5		
2	5	Encapsulamento		A	5		
2	6	Historico de Fabricação		B	7		
2	7	Capacidade de		A	6		
2	8	Criterion 8					
3	4	N. de Pinos	Potencia dissipada	A	5		
3	5		Encapsulamento	A	7		
3	6		Historico de Fabricação	B	5	3	B1
3	7		Capacidade de	A	6		
4	5	Potencia dissipada	Encapsulamento	A	6		
4	6		Historico de Fabricação	B	6		
4	7		Capacidade de	A	5		
4	8		Criterion 8				
5	6	Encapsulamento	Historico de Fabricação	B	6		
5	7		Capacidade de	A	5		
5	8		Criterion 8				
6	7	Historico de Fabricação	Capacidade de	A	8		
6	8		Criterion 8				
7	8		Criterion 8				

Fonte: [21].

Figura 8.10 - Participante 2.

**AHP Analytic Hierarchy Process**      n= 7      Input 2

Objective: Escolha do COTS

**Only input data in the light green fields!**

Please compare the importance of the elements in relation to the objective and fill in the table. Which element of each pair is more important, **A or B**, and **how much** more on a scale 1-9 as given below.

Once completed, you might adjust highlighted comparisons 1 to 3 to improve consistency.

n	Criteria	Comment	RGMM
1	Risco		14%
2	Custo		9%
3	N. de Pinos		28%
4	Potencia dissipada		6%
5	Encapsulamento		3%
6	Historico de Fabricação		38%
7	Capacidade de Produção		2%
8	Criterion 8		
9		for 9&10 unprotect the input sheets and expand the	
10		question section ("*" in row 66)	

Participant 2      1      α: 0,1      CR: 30%

Name	Weight	Date	Consistency Ratio	Scale
				A B
Criteria		more important ?	Scale (1-9)	
A	B	A or B		
1 2 Risco	Custo	A	7	2 A2
1 3	N. de Pinos	B	7	3 B2
1 4	Potencia dissipada	A	5	
1 5	Encapsulamento	A	5	
1 6	Historico de Fabricação	B	6	
1 7	Capacidade de	A	5	
1 8	Criterion 8			
2 3 Custo	N. de Pinos	B	7	
2 4	Potencia dissipada	A	5	
2 5	Encapsulamento	A	5	
2 6	Historico de Fabricação	B	6	
2 7	Capacidade de	A	7	
2 8	Criterion 8			
3 4 N. de Pinos	Potencia dissipada	A	7	
3 5	Encapsulamento	A	5	
3 6	Historico de Fabricação	B	4	
3 7	Capacidade de	A	5	
3 8	Criterion 8			
4 5 Potencia dissipada	Encapsulamento	A	7	1 A2
4 6	Historico de Fabricação	B	5	
4 7	Capacidade de	A	4	
4 8	Criterion 8			
5 6 Encapsulamento	Historico de Fabricação	B	5	
5 7	Capacidade de	A	4	
5 8	Criterion 8			
6 7 Historico de Fabricação	Capacidade de	A	6	
6 8	Criterion 8			
7 8	Criterion 8			

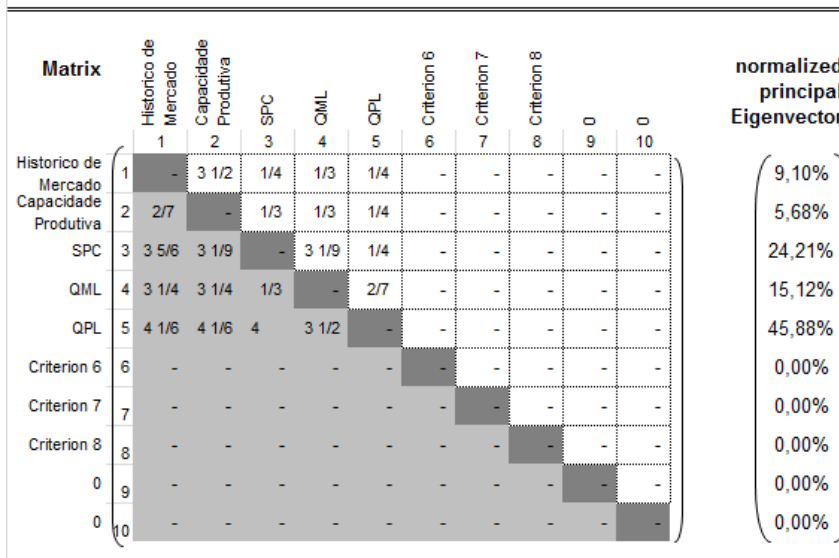
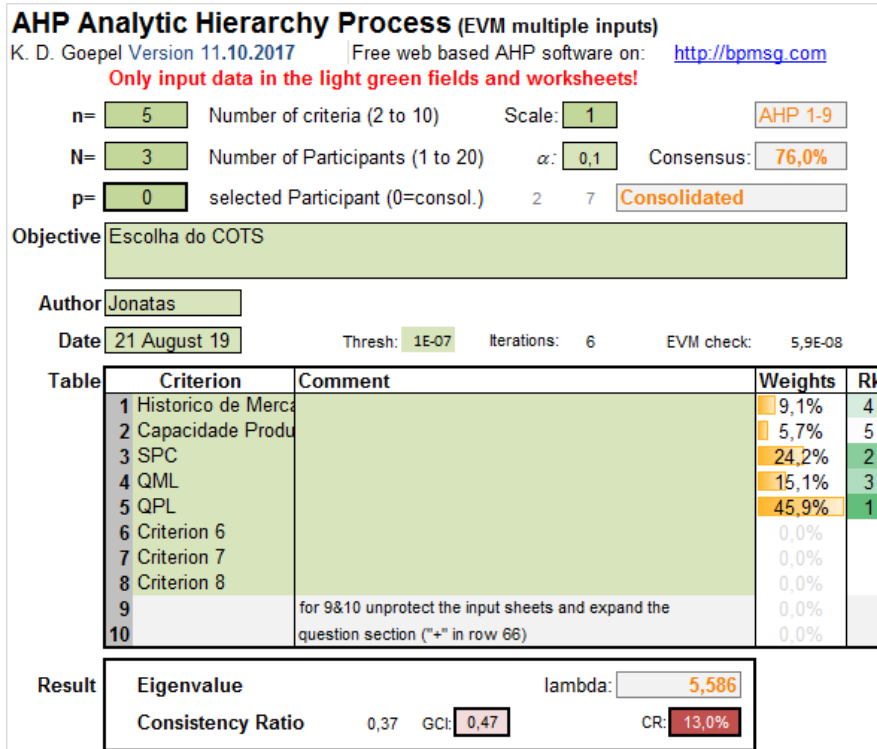
  

Intensity of	Definition	Explanation
1	Equal importance	Two elements contribute equally to the objective
3	Moderate importance	Experience and judgment slightly favor one element over another
5	Strong Importance	Experience and judgment strongly favor one element over another
7	Very strong importance	One element is favored very strongly over another, its dominance is demonstrated in practice
9	Extreme importance	The evidence favoring one element over another is of the highest possible order of affirmation

2,4,6,8 can be used to express intermediate values

Fonte: [21].

Figura 8.11 - Resultado do ranking – SW AHP.



Fonte: [21].

Sobre os critérios e sub critérios elencados no modelo da estrutura AHP na Figura 8.8 para escolha do COTS, temos:

Crítérios:

- 1) **características de qualidade:** estão relacionadas ao desempenho funcional elétrico e ambiental do componente;
- 2) **tecnologia do componente:** estão relacionadas às tecnologias de fabricação do componente, por ex.: Bipolar, CMOS, BiCMOS;

- 3) **encapsulamento/pinagem**: no caso dos COTS há os plásticos que prevalecem muito embora, hoje se trabalhe com plásticos de alta densidade diminuindo a absorção de água e aumentando a sua durabilidade. Por outro lado, os plásticos comuns são extremamente susceptíveis à umidade. A pinagem tem uma relação direta com a dissipação térmica do componente e o projeto do *lay out* onde o componente será inserido (espaço e peso);
- 4) **dados do fabricante**: a obtenção desses dados quando disponíveis é muito importante pois ajuda na pré-análise da aquisição.

Sub critérios:

- a) **controle estatístico de processo (SPC)**: a qualidade e confiabilidade do componente é medida em função dessa ferramenta, pois, demonstra qualidade no projeto, processos e materiais envolvidos na fabricação do componente;
- b) **certificado do fabricante**: comprovante legal que qualifica o fabricante mediante às normas de fabricação e denota compromisso com o cliente;
- c) **date code**: a data de fabricação do componente é de extrema importância no caso do COTS, pois, em razão das suas características físicas de encapsulamento, a deterioração em função da umidade, temperatura e ambiente corrosivo pode danificar o componente. Portanto, o ambiente controlado (umidade e temperatura) das salas de armazenamento e montagem é imprescindível para a sua confiabilidade. Haja vista, que testes de *relifing* após o prazo para a utilização estabelecida em normas espaciais não são indicadas pelo custo final, principalmente no caso do COTS;
- d) **capacidade de produção**: Esse dado desde que disponível mostra a capacidade da infraestrutura do fabricante e, conseqüentemente, a sua aceitação no mercado;

e) **histórico de mercado:** Também, um dado de suma importância, pois, demonstra a qualidade nos processos e confiabilidade no produto final.

A análise hierárquica através do método AHP como uma abordagem complementar, pode auxiliar o projetista na tomada de decisão com relação aos COTS disponíveis no mercado com características elétricas, mecânicas e térmicas que preencham os requisitos do projeto, porém de fabricantes diferentes.

## 9 ESTUDO DE CASO E CONSIDERAÇÕES

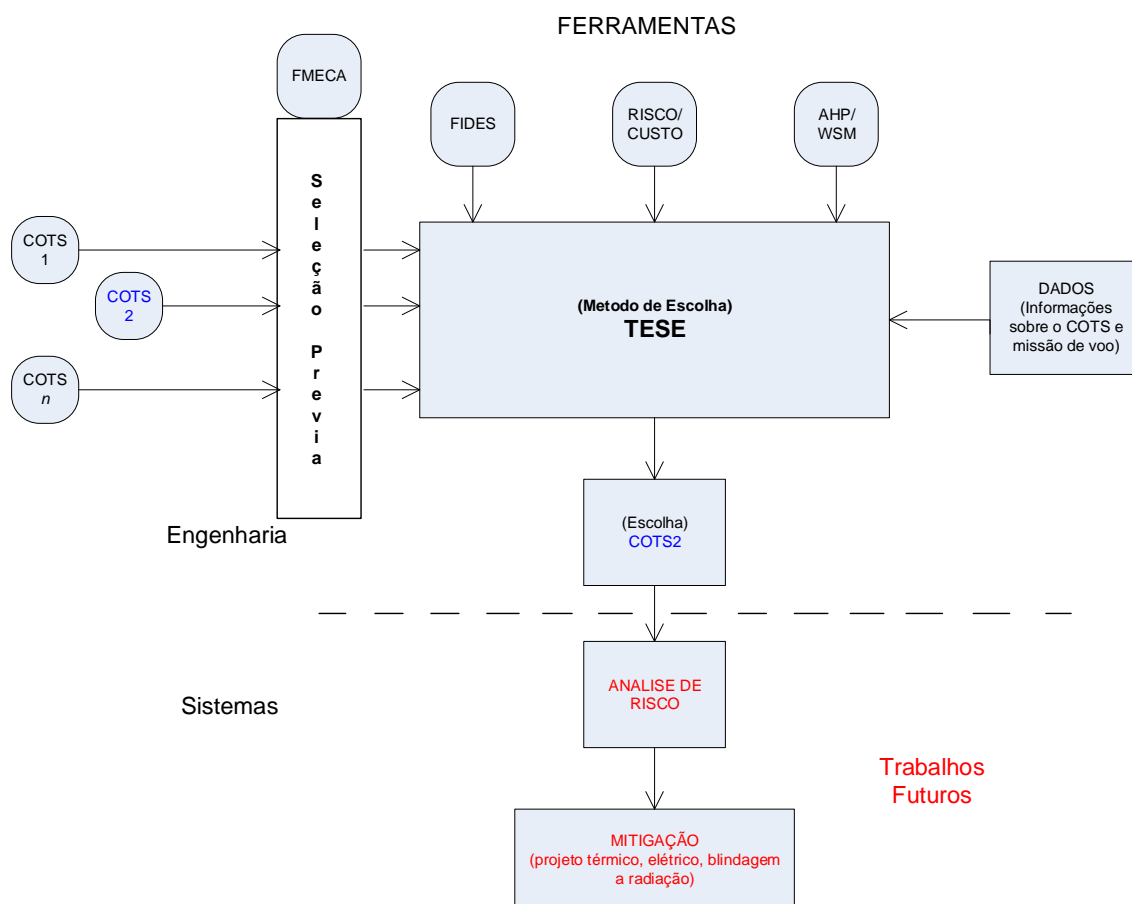
Este capítulo tem como objetivo apresentar os resultados e considerações após aplicação da metodologia proposta. É importante citar, que desde o Capítulo 5, conforme a sequência da apresentação, alguns resultados do estudo de caso já foram mostrados, tais como, alocação de confiabilidade, importância relativa de confiabilidade dos componentes e FMECA.

### 9.1 Aplicação da Metodologia proposta e considerações

As Figuras 9.1a e 9.1b foram replicadas do Capítulo 5 e juntamente com a Figura 9.2 apresentam a metodologia proposta nesse trabalho, para facilidade de entendimento.

Figura 9.1 - Metodologia de Escolha do COTS.

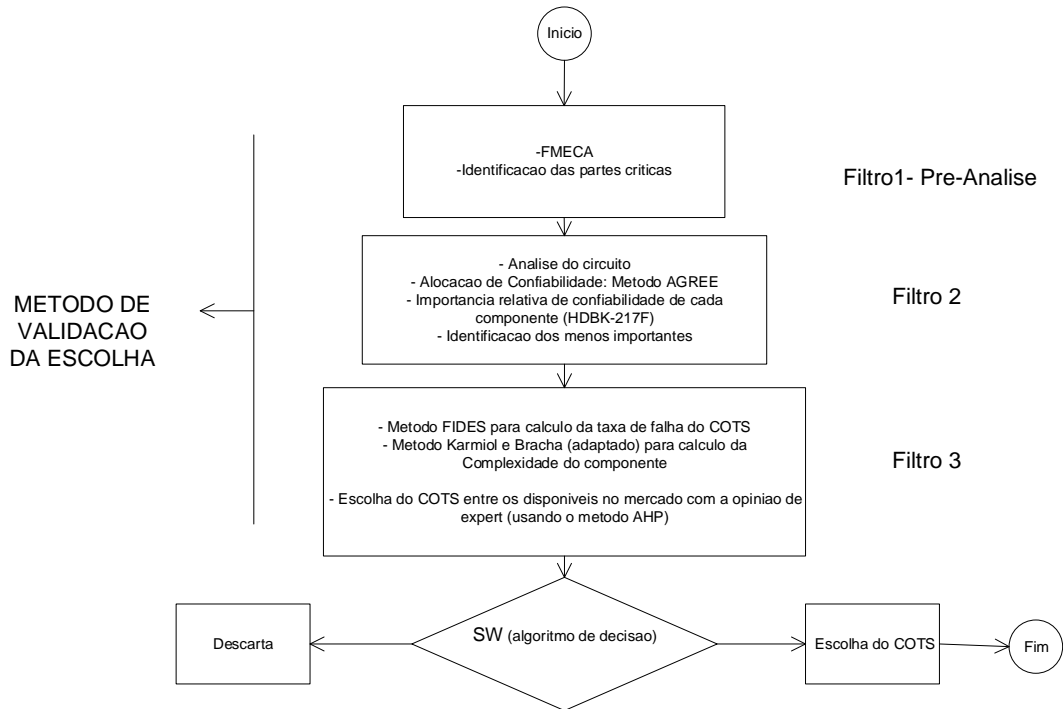
a)



continua

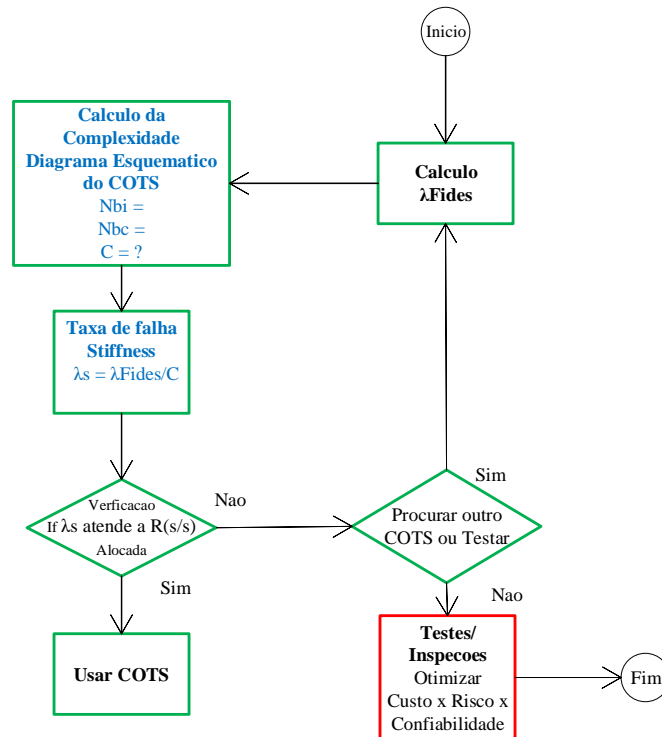
Figura 9.1 – Conclusão.

b) Algoritmo de escolha do COTS.



Fonte: Produção Autor.

Figura 9.2 - Fluxograma de Escolha do COTS.



Fonte: Produção do Autor.



A Figura 9.1a apresenta os métodos utilizados desde a pré análise com um breve estudo sobre FMECA, o cálculo da taxa de falha utilizando um algoritmo customizado com base no guia FIDES, um estudo de risco x custo x confiabilidade como uma alternativa complementar para o uso do COTS escolhido e ainda uma tomada de decisão na escolha entre COTS disponíveis no mercado, mas de fabricantes diferentes utilizando a ferramenta AHP, como demonstrado nos Capítulos 5, 6,7 e 8.

O estudo de caso recorrente na tese refere-se aos componentes de uma placa de potência do Tubesat Tancredo um nano satélite desenvolvido por estudantes em parceria com o INPE.

Na Figura 9.1b, faz-se uma representação das sequências de passos como num procedimento para a tomada de decisão sobre a escolha do COTS. Passando, desde uma análise de FMECA, importância relativa da confiabilidade de cada componente de interesse e a substituição dos prováveis candidatos a COTS por meio do método FIDES para o cálculo da taxa de falha do COTS. E a averiguação se após a nova taxa de falha do COTS já com a introdução do fator de complexidade C (rigidez) mencionado no capítulo 6 na confiabilidade do COTS fazendo uma analogia com o método Karmiol/Bracha em nível de sistema, se ainda atende por verificação a confiabilidade alocada pelo método AGREE para a placa/subsistema eletrônico de interesse.

A Figura 9.2 mostra o algoritmo desenvolvido para o cálculo da taxa de falha de três tipos de COTS (Semicondutor, Circuito Integrado e Conversor DC/DC) conforme escopo do trabalho e apresenta um estudo como alternativa complementar para solução de uma escolha específica de COTS dado a necessidade do projeto, buscando o equilíbrio em três parâmetros: Confiabilidade x Risco x Custo.

Cabe salientar que no fluxograma da Figura 9.2 destaca-se apenas o bloco testes e inspeções (otimizando: risco x custo x confiabilidade), pois será tratado como trabalho futuro em um estudo de caso.

Primeiramente, calcula-se a taxa de falha do componente COTS de interesse por meio do método FIDES considerando o perfil de vida do componente, ou seja, cada etapa de sua vida. Durante a sua fabricação, qualificação e

processos envolvidos e depois na fase de montagem, integração e testes e voo.

Os resultados e as considerações feitas nesse processo de acordo com o guia FIDES estão descritos nos relatórios de saída, do programa desenvolvido no apêndice A e B. Como exemplo desse método os COTS, LT 3021 Regulador de Voltagem e o Conversor DC/DC LM2731 são apresentados.

Uma vez de posse da taxa de falha do componente, introduz-se um fator de complexidade do componente como rigidez no cálculo por se tratar de um COTS, sabendo-se que o índice ou fator de complexidade do componente não é avaliado pelo método FIDES e entende-se que esse fator tem impacto significativo na taxa de falha.

Finalmente, compara-se o valor da taxa de falha do COTS encontrado com a confiabilidade alocada para a placa ou circuito de interesse e verifica se o valor, ainda, atende ao requisito de confiabilidade, caso contrário, parte-se para uma nova escolha de um COTS similar disponível entre os fabricantes. Convém observar que, a implementação foi feita até aqui para os Circuitos Integrados, Semicondutores e Conversor DC/DC. A utilização dos dois padrões HDBK-217 e FIDES ainda se faz necessário dado à limitação da abrangência dos componentes pelo programa implementado [39].

No caso da necessidade de se usar um COTS por algum motivo do tipo prazo, custo ou características elétricas, mecânicas e térmicas e a não possibilidade de uso de outro componente, propõe-se então, testes/inspeções para confirmação da qualidade/confiabilidade do COTS com custos e riscos associados decorrentes desse processo, como alternativa complementar.

A experiência advinda desses testes e inspeções (bloco vermelho) como proposta de trabalho futuro a ser realizado no decorrer do desenvolvimento de novos pequenos satélites, poderá contribuir para o refinamento e ganho de conhecimento além de uma biblioteca de COTS que poderá ser implementada.

## **9.2 Análise dos resultados**

De acordo com a metodologia apresentada, a Tabela 9.1 a seguir resume os componentes que foram tratados tendo como objeto recorrente o tubesat

Tancredo e a placa de potência como foco dessa metodologia além de uma série de outros componentes onde se calcula a taxa de falha via algoritmo desenvolvido e customizado com base no guia FIDES.

A Tabela 9.1 sintetiza os atributos necessários para a escolha do COTS usando o guia FIDES como referência.

Faz-se um estudo dos parâmetros  $\pi_{pm}$  e  $\pi_{process}$  características da qualidade do componente e dos processos do fabricante, apresentados no método FIDES no Capítulo 5 com os resultados nos apêndices A e B, como sendo impactantes no resultado da taxa de falha e observações com relação a esse impacto dependendo das notas atribuídas nos questionários e auditorias sugeridos pelo método.

Também se destaca a importância das condições térmicas, potência de dissipação e frequência de chaveamento dos circuitos integrados (lineares e digitais) a que serão submetidos e seus impactos decorrentes. Essas características são exploradas no método e advém dos mecanismos de falha física (Termoelétricos).

Também, uma análise utilizando o método AHP para tomada de decisão com relação a um conversor DC/DC de fabricantes distintos para uso no circuito de potência do Tubesat será demonstrado.

Comentários gerais na utilização de COTS, riscos associados e o atenuante dos testes/inspeções propostos são feitos.

Tabela 9.1 - Componentes COTS analisados segundo guia FIDES e os parâmetros de interesse.

PN: Genérico	Descrição	Fabricante	$\pi_{PM}$ Avaliação Moderada	$\pi_{PROCESS}$ Avaliação Moderada	$\lambda_{PHYSICAL}$	Lambda FIDES $\lambda_{FIDES}$ (1/10 <sup>6</sup> h)	Fator C	Lambda COTS $\lambda_S = \frac{\lambda_{FIDES}}{C}$ (1/10 <sup>6</sup> h)	R(s/s) alocada = 0.95 Obs. Estudo de caso
<b>Taxa de falha dos componentes ativos de uma placa de potência (destaque), com fator complexidade C (Tubesat)</b>									
MAX1112 EAP	Conversor A/D	MAXIM	1.26702	4.75525	64.96202	0.834	0.8693	0.9593	Ok! usar Atende a R(s/s)
LT 3021VOLT REG	Regulator	Linear Technology	1.26702	4.75525	365.4298	2.23	0.5769	3.8654	Ok! usar Atende a R(s/s)
LM2731X DC/DC Converter	Conversor DC/DC	Texas Instruments	1.42262	4.28577	1360.474	8.356	0.6187	<b>13.5057</b>	Não atende a R(s/s)
CRS 06	Diodo Shotcky	Toshiba	1.26702	4.28577	50.94527	0.278	0.368	0.7558	Ok! usar

continua

Tabela 9.1 – Continuação.

PN: Genérico	Descrição	Fabricante	$\pi_{PM}$ Avaliação Moderada	$\pi_{PROCESS}$ Avaliação Moderada	$\lambda_{PHYSICAL}$	Lambda FIDES $\lambda_{FIDES}$ (1/10 <sup>6</sup> h)	Fator C	Lambda COTS $\lambda_S = \frac{\lambda_{FIDES}}{C}$ (1/10 <sup>6</sup> h)	R(s/s) alocada = 0.95  Obs. Estudo de caso
<b>Circuitos Integrados e Semicondutores com taxa de falha resultante do método FIDES</b>									
<b>Circuito Integrado</b>							Exemplos de componentes COTS com taxa de falha resultante do algoritmo desenvolvido e customizado com base no guia FIDES		
MHC54273	Flip Flop D	STMicroelectron	1.26702	4.28577	559.1533	0.905			
54HC00	Nand Gate	SS	1.26702	4.28577	25.65357	0.666			
74HC14	Schmitt Inverter	MOTOROLA	1.26702	4.28577	13.80891	0.556			
54HC74	Flip Flop D	MOTOROLA	1.26702	4.28577	13.80891	0.357			
LM139	Voltage Comparators	STMicroelectron	1.26702	4.28577	10480.08	<b>58.072</b>			
LM124	Op. Amp	Texas Instruments	1.26702	4.28577	813.9877	4.496			
LM324	Op. Amp	ST	1.26702	4.28577	1365.499	7.5430			

continua

Tabela 9.1 - Conclusão.

PN: Genérico	Descrição	Fabricante	$\pi_{PM}$ Avaliação Moderada	$\pi_{PROCESS}$ Avaliação Moderada	$\lambda_{PHYSICAL}$	Lambda FIDES $\lambda_{FIDES}$ (1/10 <sup>6</sup> h)	Fator C	Lambda COTS $\lambda_S = \frac{\lambda_{FIDES}}{C}$ (1/10 <sup>6</sup> h)	R(s/s) alocada = 0.95  Obs. Estudo de caso
<b>Semicondutor</b>							Idem		
1N747	Zener diode	BKC	1.26702	4.28577	1078.397	0.810			
1N714	Zener diode	Texas Instr	1.26702	4.28577	1092.973	1.4226			
1N4614	Zener diode	Taitron	1.26702	4.28577	915.8504	5.071			
1N4625	Zener diode	MICROSEMI	1.26702	4.28577	643.3650	3.560			
1N5711	Barrier diode	MICROSEMI	1.26702	4.28577	440.5908	2.434			
1N5817	Rectifier diode	VISHAY	1.26702	4.28577	57.36003	0.3121			
1N6638	Switch diode	MICROSEMI	1.26702	4.28577	72.03046	0.610			
2N2222	Bipol Transistor	MULTICOMP	1.26702	4.28577	119.8194	2.665			
CRS06	Rectifier Diode	Toshiba	1.26702	4.28577	50.94527	0.2789			

Fonte: Produção do Autor.

### 9.2.1 Resultado da Taxa de falha relacionado ao parâmetro físico Térmico e frequência de Clock

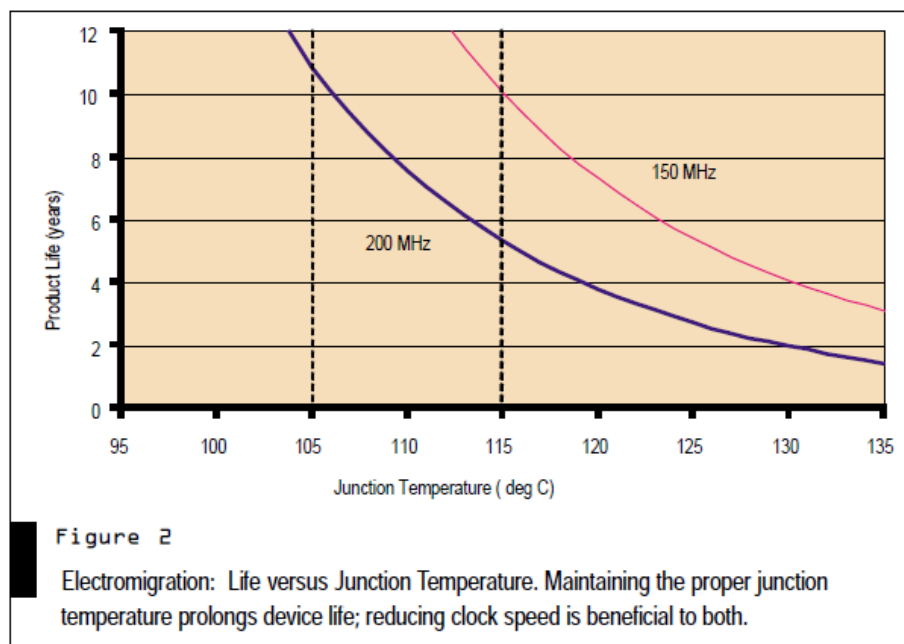
Um aspecto relacionado às variações dos parâmetros físicos elencados na avaliação do guia FIDES e de impacto na taxa de falha que merece destaque são os efeitos termoelétricos:

Apenas como registro para estudos futuros, pois o enfoque desse estudo está nos semicondutores, CI's e conversor DC/DC referencio um estudo sobre FPGA e os efeitos térmicos na taxa de falha uma vez que esses componentes em pequenos satélites são extremamente solicitados.

Os aspectos termoelétricos relacionados aos componentes de alta integração e os de alta complexidade (FPGA, ASIC) que contribuem de maneira significativa para as falhas, de modo geral são: BTI (Bias Temperature Instability); HCI (Hot Carrier Injection) e EM (Electromigration) segundo [35].

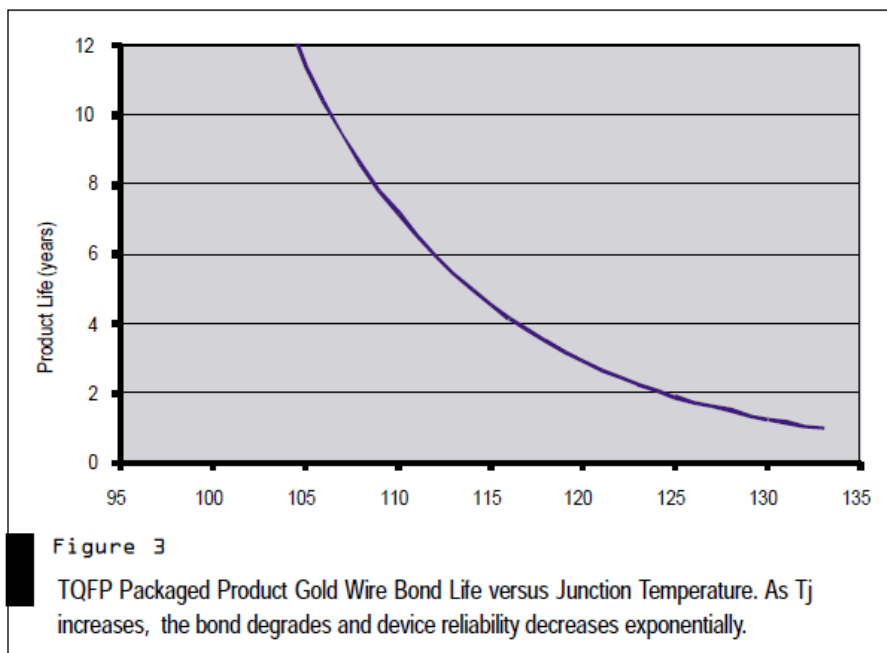
Como ilustração do efeito térmico as Figuras 9.3 e 9.4 mostram a influência da temperatura de junção em circuitos integrados e seu tempo de vida.

Figura 9.3 – Tempo de vida *versus* Temperatura de junção com a redução da velocidade do clock, benefício para o prolongamento de vida do componente.



Fonte: [36].

Figura 9.4 – Tempo de vida *versus* temperatura de junção com a diminuição exponencial da confiabilidade das ligações internas do *die*.



Fonte: [36].

Tabela 9.2 - Efeitos do fator térmico e frequência de chaveamento.

Parâmetros: Temp. Junção/Pot. Dissipação e Frequência de chaveamento (Clock) como fatores impactantes na confiabilidade.							
PN Genérico	Fabricante	Temp. de Junção (°C)	Potência Dissipação (W)	V <sub>in</sub> (V)	I <sub>out</sub> (A)	Freq. Chaveamento (MHz)	Taxa de falha (FIDES) (1/10 <sup>6</sup> ) h
LM2731X DC/DC Converter	Texas Instruments	-40° a 125°C	0.37	3.3	2.4	1.6	$\lambda = 8.356$
LM139 Volt. Comparators	STMicro	150	0.83				$\lambda = 58.072$

Fonte: Produção do Autor.

Na Tabela 9.2 pode-se verificar que os efeitos térmicos (Temperatura de junção) no caso do comparador e na Frequência de chaveamento (Clock) do conversor DC/DC um impacto razoável na taxa de falha desses componentes (Tabela 9.1) em acordo com as curvas mostradas na Figura 9.3.



### 9.2.2 Resultado da Taxa de falha relacionada às características da qualidade do componente e do fabricante

Apresenta-se aqui fatores relacionados a qualidade do componente e do fabricante e seus impactos no resultado da taxa de falha do componente em função das avaliações feitas nas auditorias e informações obtidas dos fabricantes por meio de questionários do guia FIDES, apresentados no capítulo 5.

#### **Tpm:**

O **Tpm** é um fator associado com a qualidade da fabricação do componente/equipamento/subsistema e é composto por quatro fatores que determinam o grau ou nota atribuída segundo a fórmula sugerida pelo guia FIDES.

- a) O fator de garantia da qualidade (**QA**) do **fabricante** está relacionado às certificações e padrões utilizados pelo fabricante do tipo ISO, TS16949V2002, QS9000, TL9000, ESA/ECSS QPL, ISO 9000, MIL PRF 38535 QML e etc. As notas atribuídas a esse fator estão relacionadas aos padrões utilizados e certificações do fabricante. As notas vão de 0 a 3 dependendo da classificação que o fabricante for avaliado;
- b) O fator de garantia da qualidade (**QA**) do **componente** é definido para cada item/família. Leva-se em conta principalmente a metodologia de qualificação sem considerar a severidade dos testes mencionados nos padrões anteriores. A severidade dos testes para componentes ativos leva em conta o fator de confiabilidade do componente. As notas atribuídas também vão de 0 a 3 dependendo da classificação atribuída ao componente.
- c) O fator de garantia da confiabilidade (**RA**) do **componente** é definido para circuitos integrados e semicondutores e é quantificado em função da severidade dos testes desenvolvidos pelo fabricante. As

notas atribuídas vão de 0 a 3 dependendo da classificação da confiabilidade do componente.

- d) O fator **E** deve representar a experiência do comprador do componente com o fornecedor. Conseqüentemente, esse é um fator específico para cada fabricante. As notas vão de 0 a 4 em função da classificação do comprador e sua experiência com o fabricante.

Essas avaliações devem ser feitas por meio de dados obtidos com o vendedor ou representante do fabricante o mais fidedignas, quando possíveis, pois, em função da qualidade das informações poderá ser feita uma avaliação mais precisa da taxa de falha do componente e isso tem um impacto razoável no resultado final dos cálculos conforme veremos a seguir em algumas avaliações simuladas.

#### **TTprocess:**

O **TTprocess** está relacionado à nota atribuída pelas auditorias realizadas em cada fase no processo de desenvolvimento do produto pelo fabricante.

As fases são compreendidas em:

- a) especificação;
- b) projeto;
- c) **fabricação** do cartão ou sub montagem;
- d) **integração** no equipamento;
- e) **integração** no sistema;
- f) operação e manutenção;
- g) atividade suporte.

Neste caso, foram usados os itens, **c), d) e e)** como as fases para o cálculo da taxa de falha do componente, pois, as fases a), b) não se tem acesso e as fases f) e g) de manutenção e suporte obviamente, não se aplicam no caso espacial/satélites (não se faz manutenção e nem suporte em pequenos satélites após o lançamento).

As notas atribuídas nas auditorias de cada fase são depois introduzidas numa fórmula dada pelo guia FIDES já apresentada no Capítulo 5 de modo a se estabelecer um grau do processo do fabricante.

Na Tabela 9.3, mostram-se as notas atribuídas ao fabricante conforme as auditorias realizadas nas fases de desenvolvimento.

Convém observar que essas avaliações foram feitas com base em premissas adotadas pelo projetista e sua experiência com o representante/fabricante do componente.

Usou-se na avaliação do processo de fabricação do componente COTS, o grau standard.

Tabela 9.3 – Nota do processo do fabricante.

Level	Process	$\Pi_{\text{Process}}$	Process grade
Very high reliability	Process almost with no weakness	<1.7	> 75%
High reliability	Controlled process, reliability engineering	1.7 to 2.8	50% to 75%
Standard	Usual ISO 9001 version 2000 type quality procedures	2.8 to 4.8	25% to 50%
Unreliable	Reliability problems not taken into account	>4.8	<25%

Fonte: [18].

Nas avaliações realizadas estabeleceram-se três níveis para o fabricante do componente COTS:

- a) muito alta confiabilidade;
- b) padrão;
- c) não confiável.

Os resultados e as relações dos impactos na taxa de falha podem ser vistos adiante.

## **Application:**

É um parâmetro avaliado por notas atribuídas a uma série de critérios. Cada critério possui três níveis, a saber: Favorável, Moderado e Desfavorável e um peso relacionado com o nível escolhido. Cada critério tem um impacto sobre o Overstress componente/equipamento/subsistema.

Os critérios estão relacionados ao tipo de usuário na fase considerada, nível de qualificação do usuário, mobilidade do sistema, manipulação do produto, exposição do produto à atividade humana, etc.

Cada critério deve ser respondido para definir os níveis de não agressividade, moderado ou severidade submetidos.

Logo, a importância no rigor dessas avaliações deve ser considerada.

Algumas avaliações realizadas considerando três possibilidades:

- a) ruim (notas piores);
- b) moderado (notas regulares);
- c) ótimo (notas melhores).

Nota: As relações mostradas nos exemplos mostram o quanto em termos de nota atribuída nas avaliações compromete o Resultado da Taxa de Falha (RTF).

Por exemplo:

- 1) Circuito Integrado: LM124 – Amplificador Operacional

$$\text{RTF}_{\text{Ruim}} = 20,78 \text{ (1/10}^6\text{h)}$$

$$\text{RTF}_{\text{Moderado}} = 4,49 \text{ (1/10}^6\text{h)}$$

$$\text{RTF}_{\text{Ótimo}} = 0,596 \text{ (1/10}^6\text{h)}$$

Relações: Ruim/Mod = 4,62; Mod/Ótimo = 7,53.

- 2) Circuito Integrado: LM139 – Amplificador Operacional:

$$\text{RTF}_{\text{Ótimo}} = 4,84 \text{ (1/10}^6\text{h)}$$

$$\text{RTF}_{\text{Moderado}} = 58,07 \text{ (1/10}^6\text{h)}$$

$$\text{RTF\_Ruim} = 586,629 (1/10^6\text{h})$$

Relações: Ruim/Mod = 10,10; Mod/Ótimo = 11,9.

3) Semicondutor: 1N714- Diodo Zener

$$\text{RTF\_Ótimo} = 0,94 (1/10^6\text{h})$$

$$\text{RTF\_Moderado} = 6,05 (1/10^6\text{h})$$

$$\text{RTF\_Ruim} = 113,73 (1/10^6\text{h})$$

Relações: Ruim/Mod = 18,8; Mod/Ótimo = 6,4.

4) Circuito Integrado: LM2731 – Conversor DC/DC (Tubesat – PWR):

$$\text{RTF\_Ótimo} = 1,853 (1/10^6\text{h})$$

$$\text{RTF\_Moderado} = 24,649 (1/10^6\text{h})$$

$$\text{RTF\_Ruim} = 225,95 (1/10^6\text{h})$$

Relações: Ruim/Mod = 9,166; Mod/Ótimo = 13,3.

5) Circuito Integrado: LT3021 Regulador de Voltagem (Tubesat – PWR):

$$\text{RTF\_Ótimo} = 0,168 (1/10^6\text{h})$$

$$\text{RTF\_Moderado} = 2,239 (1/10^6\text{h})$$

$$\text{RTF\_Ruim} = 20,525 (1/10^6\text{h})$$

Relações: Ruim/Mod = 9,166; Mod/Ótimo = 13,3.

6) Circuito Integrado: MAX1112EAP – Conversor Analógico/Digital 8 Bits (Tubesat – PWR):

$$\text{RTF\_Ótimo} = 0,029 (1/10^6\text{h})$$

$$\text{RTF\_Moderado} = 0,397 (1/10^6\text{h})$$

$$\text{RTF\_Ruim} = 3,642 (1/10^6\text{h})$$

Relações: Ruim/Mod = 9,166; Mod/Ótimo = 13,3.

7) Semicondutor: CRS06 - Diodo Retificador (Tubesat – PWR):

$$\text{RTF\_Ótimo} = 0,024 (1/10^6\text{h})$$

$$\text{RTF\_Moderado} = 0,27 (1/10^6\text{h})$$

$$\text{RTF\_Ruim} = 2,389 (1/10^6\text{h})$$

Relações: Ruim/Mod = 8,84; Mod/Otimo = 11,25.

Após essa análise pode-se observar uma relação quase constante nas avaliações estabelecidas (Ótimo, Moderado e Ruim) para cada tipo de família de componente o que faz sentido, pois, os parâmetros físicos (eletrotérmicos, mecânicos e Umidade relativa) e tempos das fases dos ciclos de vida do componente/PCA/equipamento foram os mesmos. O que valida o algoritmo feito para esse fim.

Portanto, a avaliação do fabricante e do componente em termos de qualidade dos processos e testes submetidos de acordo com as normas e padrões por ele certificado e segundo os critérios estipulados pela guia FIDES, devem ser o mais fidedigno possível para obter resultados de taxa de falha com qualidade.

A pesquisa e obtenção de dados e informações quando possíveis sobre o fabricante e os componentes da sua linha de fabricação são de suma importância para uma análise sobre a taxa de falha do componente.

Outra observação importante apenas como constatação do que já é conhecido e tratado há muito tempo na literatura eletrônica é com relação a influência enorme do parâmetro físico temperatura na taxa de falha dos componentes ativos.

Pode ser visto nos relatórios apresentados nos apêndices que o impacto na taxa de falha dos componentes em função da temperatura de junção, resistência térmica e potência dissipada são grandes.

Logo um projeto térmico de boa qualidade envolvendo materiais e tecnologias de dissipação e soluções inovadoras para mitigar os efeitos danosos de *hotspot* nas placas de circuitos eletrônicos e, conseqüentemente, um superaquecimento dos componentes é primordial do ponto de vista de alongamento da vida dos componentes ativos.

Sobre o fator complexidade do componente conforme apresentado no capítulo 6 onde é explicitada a analogia feita com o método Karmioli/Bracha em nível de

sistema, apresentam-se algumas analogias de alguns componentes analógicos e digitais e cita-se um estudo [38] sobre a métrica complexidade estrutural relacionado à avaliação sobre custo e risco em maturidade tecnológica (TRL).

Neste estudo, baseia-se o quanto a complexidade do componente está associada a sua taxa de falha e, portanto, um enfoque também relacionado a risco, pois se está tratando, de COTS sem taxa de falha prevista pelo fabricante. Chama-se a complexidade de fator de enrijecimento, pois, considera-se que deve ser tratado de maneira conservadora em nível teórico, somente na experimentação e dados de campo pode-se estabelecer uma quantificação real desse valor via estatística.

Propõe-se um estudo específico no caso de tomada de decisão na escolha entre dois COTS via o método AHP para demonstrar que a ferramenta pode ser útil nesses casos.

Por exemplo: imagine que o projetista elétrico/eletrônico tem entre os dados disponíveis dos fabricantes via manual as seguintes características:

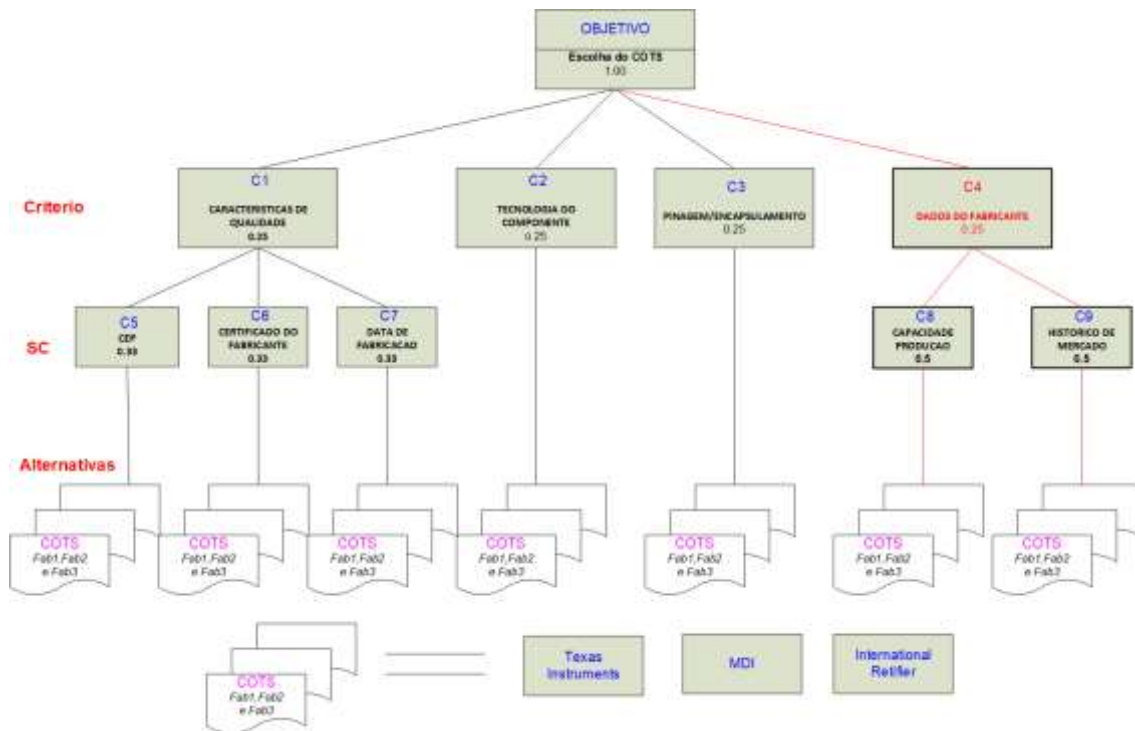
Um Conversor DC/DC que atenda aos requisitos elétricos e mecânicos do projeto proposto e está em dúvida entre a utilização daqueles que atendam aos requisitos eletrotérmicos e mecânicos do projeto inicial, pois, existem limitações mecânicas (número de pinos e encapsulamento) e geométricas (desenho e dimensões do componente) entre os fabricantes disponíveis.

Então, tem-se um modelo de estrutura AHP (já apresentado no Capítulo 8 e replicado aqui na Figura 9.5, para a escolha do COTS.

Onde, **C2 e C3** são os critérios mais relevantes na escolha ou o que decidirão entre um e outro fabricante, no caso Texas Instruments e MDI.

Nesse caso, o encapsulamento e o número de pinos aparecem em terceiro e quarto lugares, atrás de Temperatura de junção e potência de dissipação do componente como sendo os critérios mais importantes para decisão na escolha. Logo terão um peso maior na decisão, considerando a concepção inicial do projeto.

Figura 9.5 – Modelo de escolha de COTS (AHP).



Fonte: Produção do autor.

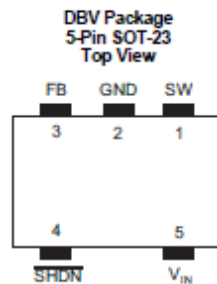
Das opções de fabricante que atendam aos requisitos eletrotérmicos e mecânicos (n. de pinos) após análise dos *datasheet* dos fabricantes, a decisão pelos participantes (dois no caso) caiu sobre a utilização do componente da Texas Instruments, pois, o número de pinos do componente mais as características eletrotérmicas (Temperatura de junção e resistência térmica) do componente melhor atendiam aos requisitos do projeto e a predição de taxa de falha com relação ao tempo de missão do artefato.

No *datasheet* do conversor DC/DC (Figura 9.6) da Texas pode ser verificado o encapsulamento, a quantidade de pinos e suas dimensões e, os fatores relativos à potência de dissipação e resistência térmica do componente, primordiais para a decisão entre dois disponíveis para escolha.



Figura 9.6 – *Datasheet* Conversor DC/DC (LM2731 – Texas Instruments).

## 5 Pin Configuration and Functions



Pin Functions

PIN		I/O	DESCRIPTION
NAME	NO.		
FB	3	I	Feedback point that connects to external resistive divider.
GND	2	PWR	Analog and power ground
SHDN	4	I	Shutdown control input. Connect to $V_{IN}$ if the feature is not used.
SW	1	O	Drain of the internal FET switch
$V_{IN}$	5	PWR	Analog and power input

## 6 Specifications

### 6.1 Absolute Maximum Ratings<sup>(1)</sup>

	MIN	MAX	UNIT
Operating Junction Temperature	-40	125	°C
Lead Temperature (Soldering, 5 sec.)		300	°C
Power Dissipation <sup>(2)</sup>	Internally Limited		
FB Pin Voltage	-0.4	6	V
SW Pin Voltage	-0.4	22	V
Input Supply Voltage	-0.4	14.5	V
SHDN Pin Voltage	-0.4	$V_{IN} + 0.3$	V
Storage Temperature, $T_{stg}$	-65	150	°C

(1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

(2) The maximum power dissipation which can be safely dissipated for any application is a function of the maximum junction temperature,  $T_J(\text{MAX}) = 125^\circ\text{C}$ , the junction-to-ambient thermal resistance for the SOT-23 package,  $R_{\theta JA} = 265^\circ\text{C/W}$ , and the ambient temperature,  $T_A$ . The maximum allowable power dissipation at any ambient temperature for designs using this device can be calculated using the

$$P(\text{MAX}) = \frac{T_J(\text{MAX}) - T_A}{\theta_{J-A}} = \frac{125 - T_A}{265}$$

formula:  $\theta_{J-A} = 265$ . If power dissipation exceeds the maximum specified above, the internal thermal protection circuitry will protect the device by reducing the output voltage as required to maintain a safe junction temperature.

Fonte: [37].

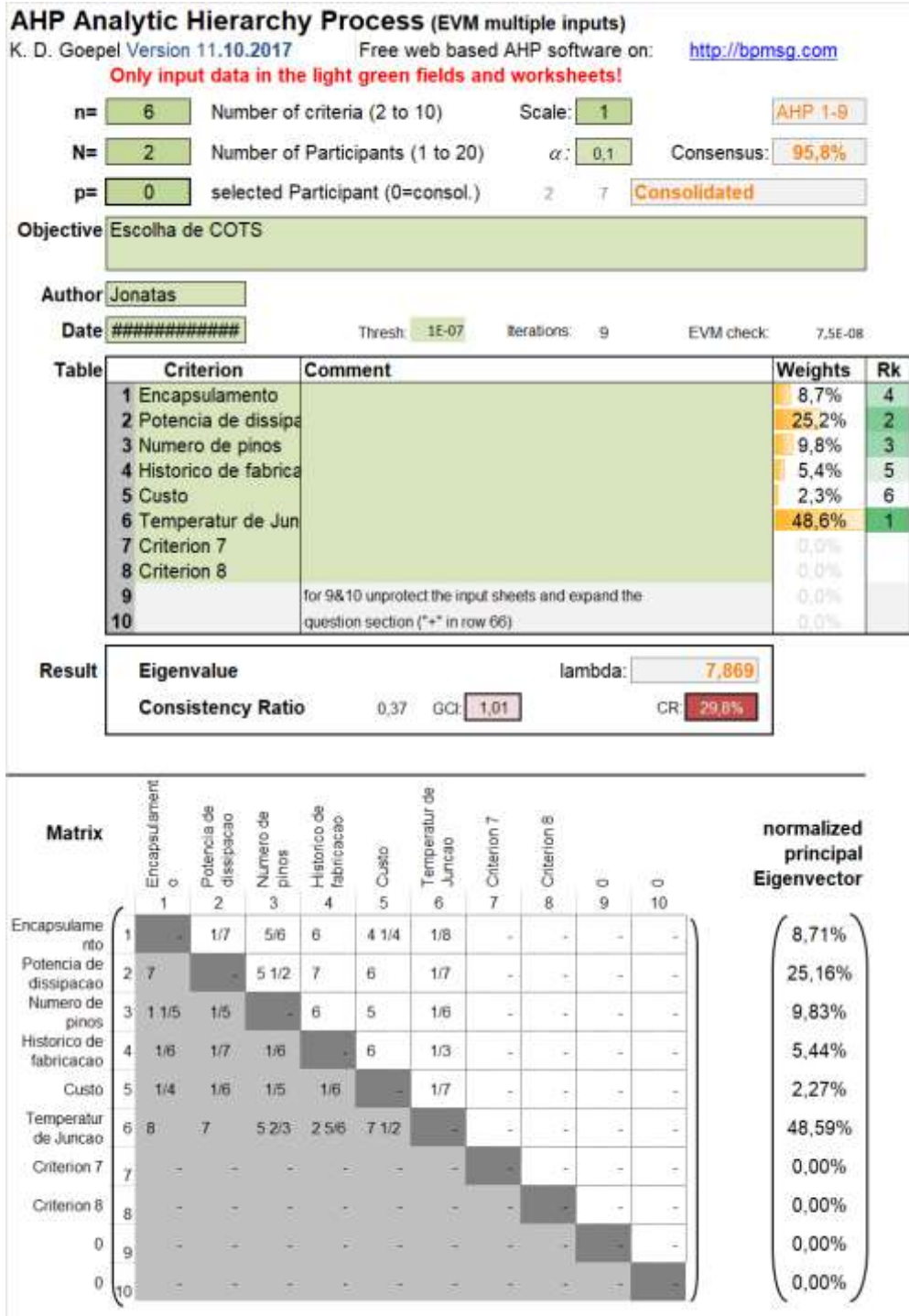
E continuar com a ferramenta AHP para decisão do mais adequado.

Nesse caso, a decisão foi focada nas características técnicas do componente, mas, poderia ter sido baseada em dados ou informações dos fabricantes que levaria a tomada de decisão com base em alguns critérios em relação a outros.

Os dois participantes ranquearam os critérios escolhidos segundo os seus posicionamentos e o resultado pode ser visto na ficha de resultado e na matriz AHP da Figura 9.7. Nota: Convém observar que em um escrutínio dessa

natureza quanto mais participantes houver menos tendencioso será o resultado.

Figura 9.7 - Resultado dos critérios elencados de acordo com a ferramenta AHP.



Fonte: AHP [21].

Então, tem-se a ordem elencada dos critérios:

- 1) temperatura de junção;
- 2) potência de dissipação;
- 3) número de pinos;
- 4) encapsulamento;
- 5) histórico;
- 6) custo.

O componente COTS conversor DC/DC que atende aos requisitos de projeto de acordo com os critérios elencados é o da Texas Instruments em relação ao da MDI. Portanto, a ferramenta AHP em alguns casos pode ser de grande valia na tomada de decisão entre componentes disponíveis no mercado.

Uma vez tomada a decisão sobre a escolha do componente, o próximo passo é verificar se a taxa de falha do componente atende à confiabilidade alocada para o cartão/PCA/subsistema, pois caso contrário, partimos para uma nova escolha ou outro fabricante até que se consiga atender ao requisito de taxa de falha. Por outro lado, dado à necessidade de utilização por motivos de custo e prazo de entrega, outra opção que a metodologia sugere é testar e inspecionar o componente segundo um roteiro estabelecido no Capítulo 7.

O resumo dos testes e inspeções a serem aplicados nos COTS e de acordo com o que foi exposto são:

- a) inspeção de recebimento: dimensional e características visuais (oxidação dos leads e aspecto visual do encapsulamento);
- b) teste de PIND e Hermeticidade (se aplicável);
- c) teste de *Burn in* e HAST (casos especiais);
- d) verificação Documental (coleta de dados do fabricante).

Conforme os testes e inspeções propostos inicia-se uma abordagem de custo, risco e probabilidade de falha do componente e sua utilização na missão desejada.

Então, no caso do componente Conversor DC/DC que na busca pela taxa de falha pelo método FIDES o resultado não atendeu ao requisito de

confiabilidade alocada para o subsistema de potência, e tendo a necessidade de usá-lo em vista de limitações de prazo e custo, usa-se a alternativa de submetê-lo a testes e inspeções de modo que, assim, possam minimizar os riscos decorrentes dessa decisão. Logo, cabe aqui uma decisão gerencial pois implica custo e tempo adicional.

A otimização dos parâmetros; custo, confiabilidade e risco requerem dados experimentais e uma análise estatística paramétrica para se equacionar e achar o ponto ótimo da curva.

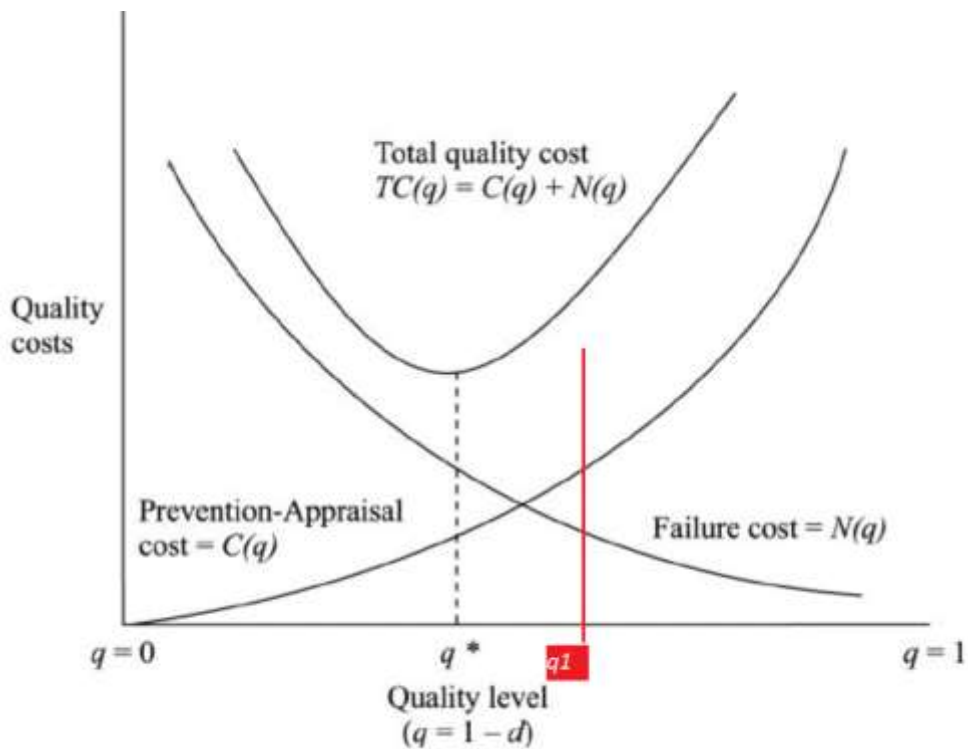
De acordo com Figura 9.8 os parâmetros de interesse, devem seguir:

- a) minimizar os custos relativos aos testes/inspeções do COTS abaixo do nível de um componente com qualidade militar (MIL STD -883);
- b) minimizar o risco do COTS com testes/inspeções acima do custo mínimo aceitável;
- c) maximizar a confiabilidade do COTS usando o guia FIDES como referência para cálculo da taxa de falha e usando o item a) como parâmetro de custo. E nos casos exclusivos, aplicar testes acelerados para inferência de MTTF. Tomada de decisão gerencial pois envolve custo e tempo.

Nesta figura, pode-se visualizar a ideia de custo vs qualidade/confiabilidade vs risco. Pois o deslocamento do nível de qualidade  $q$  para  $q1$  representa custo de prevenção a serem tomados (testes e inspeções) para que a qualidade do componente em questão cumpra com o requisito de confiabilidade desejada e conseqüentemente diminuindo o risco inerente a missão pretendida.

Outra observação que deve ser pontuada é com relação à margem de custo que compensa ser explorada em prevenção entre o nível de qualidade  $q$  para um COTS e o nível de qualidade  $q1$  para um componente militar (883).

Figura 9.8 – Custo da qualidade.



Fonte: Adaptado de [40].

É importante observar que os resultados encontrados no Capítulo 9, Tabela 9.1, dependem de um refinamento na entrada de dados (parâmetros) sempre que possível, ou seja, o modelamento pelo Guia FIDES e a metodologia proposta para o cálculo da taxa de falha e seu algoritmo sugerido para escolha do COTS pretendido será mais acertada desde que os valores de entrada sejam sempre os mais reais possíveis.

## 10 CONCLUSÕES E SUGESTÕES PARA TRABALHOS FUTUROS

Uma pequena contribuição foi dada no sentido de ajudar os projetistas a terem uma metodologia para a escolha do COTS adequado ao projeto de interesse e cuidados básicos necessários no seu uso apontados no Anexo 1 para sucesso da missão.

Das motivações apresentadas na Tabela 1.1 que justificaram o esforço, temos:

- a) Motivação 1: Atender a necessidade do uso de COTS nos projetos atuais de pequenos satélites no INPE.

Conhecimento buscado nesse trabalho:

Mesclar características de métodos de predição de confiabilidade de modo a inovar propondo um terceiro que atenda às necessidades para uso de COTS em pequenos satélites.

Nessa metodologia apresenta-se um método de alocação de confiabilidade chamado AGREE onde as características: complexidade e importância ou essencialidade da unidade são considerados. Destaco o fator complexidade como sendo o mais impactante do ponto de vista de resultado da taxa de falha e se faz um paralelo ou analogia com o método Karmiol / Bracha no nível de sistema/subsistema para análise da taxa de falha de um COTS. Introduzindo esse fator como rigidez no cálculo da taxa de falha como mencionado no Capítulo 6.

- b) Motivação 2: Custo, prazo e disponibilidade ao uso dado a limitação de componentes QPL pelos fabricantes.

Conhecimento buscado nesse trabalho:

Uma saída para o atendimento dos projetos de pequenos satélites ou artefatos espaciais com poucos recursos e facilidade de aquisição além de não esbarrar em restrições governamentais do tipo ITAR, é a utilização de COTS nesses projetos. Neste estudo, busca-se mostrar alternativas ou formas de balancear os requisitos de custo, prazo e confiabilidade por meio de uma metodologia sugerida.

c) Motivação 3: Estado da arte em termos tecnológicos.

Conhecimento buscado nesse trabalho:

Com base nesse estudo e validações ao longo do tempo expandir o escopo do método apresentado para componentes do tipo FPGA, ASIC e memórias, dado a necessidade desses componentes em pequenos satélites em trabalhos futuros.

A abordagem neste trabalho se limitou a tratar das famílias de componentes: Circuitos Integrados, Semicondutores e Conversor DC/DC COTS.

Haja vista, que eles perfazem uma grande quantidade dos componentes utilizados nos circuitos eletroeletrônicos e de acordo com o escopo proposto neste trabalho.

A hipótese parte do princípio de que os métodos de predição de confiabilidade existentes caminham para um aprimoramento do cálculo da taxa de falha dos componentes uma vez que diferem bastante nos seus resultados encontrados.

A tese proposta explora os dois métodos HDBK-217 antigo e o guia FIDES atual, utilizando os dois e propondo uma abordagem nova, onde o fator de complexidade do componente baseado no método Karmiol/Bracha introduzido no cálculo da taxa de falha do COTS chamado aqui de rigidez como modo de compensação à carência de dados (*screening*) do componente desejado, encerra em si uma nova ideia e devidamente embasada do ponto de vista teórico. Faltando demonstrá-la na prática por meio de experimentação e dados obtidos de campo (testes ambientais e telemetrias em voo).

Outro aspecto que deve ser ressaltado é relativo ao método de alocação de confiabilidade AGREE que foi usado na proposta dessa metodologia. Ele encerra duas ideias importantes que foram também exploradas na tese, a importância e a complexidade da unidade no subsistema/sistema.

A importância da unidade corrobora a ideia da probabilidade de falha o que se adapta bem na utilização do COTS, uma vez que a taxa de falha não é fornecida pelo fabricante e a complexidade explora a ideia da rigidez introduzida na taxa de falha, que se aplica ao COTS por ser um componente

comercial sem essa informação, fornecida pelo fabricante. Portanto, o método é consistente na avaliação proposta.

A experiência advinda dos testes/ensaios e inspeções para qualificação (*up screening*) dos componentes COTS baseados na norma ECSS-Q-ST-60-13C classe 3 resumem a ideia dos testes/inspeções mínimos a serem aplicados nos componentes COTS além dos testes acelerados para os casos especiais para inferência da taxa de falha.

Os resultados encontrados na Tabela 9.1, limitam-se a um número pequeno de componentes estudados que poderão ser ampliados à medida que forem sendo feitas novas solicitações de componentes e atualizações do programa desenvolvido de acordo com os componentes abordados pelo guia FIDES.

Apresenta-se também no Anexo 1 uma série de recomendações relativas aos cuidados necessários no projeto de placas eletrônicas e suas montagens do ponto de vista de hardware e algumas técnicas de mitigações a erros em Software provenientes de radiação.

Uma forma vista de compensar a análise prévia do fabricante pelo método FIDES, nem sempre minuciosa com relação a obtenção dos dados, foi por meio da introdução do fator de rigidez (complexidade do componente) no cálculo da taxa de falha do COTS.

Outro aspecto que deve ser ressaltado é com relação a um projeto térmico de boa qualidade (que é primordial do ponto de vista de alongamento da vida dos componentes ativos), envolvendo materiais e tecnologias de dissipação e soluções inovadoras para mitigar os efeitos danosos de *hotspot* nas placas de circuitos eletrônicos e, conseqüentemente, um superaquecimento dos componentes.

Os dados reais provenientes dos experimentos em pequenos satélites em operação podem validar e corrigir os resultados até aqui apresentados, além de abrir um horizonte de conhecimentos nessa área dando um suporte imenso para os novos projetistas e engenheiros de desenvolvimento que atuam na área de circuitos elétrico-eletrônicos. Com certeza, esses dados tem um



impacto razoável em custo e prazo e demandam um engajamento gerencial de projeto na busca da validação, o que poderá ser feito em trabalhos futuros.

Do exposto acima em relação à Tabela 1.1 no Capítulo 1 pode se concluir que os objetivos desse trabalho na maioria foram alcançados e que trabalhos futuros podem expandir o conhecimento sobre o uso de COTS.

Do ponto de vista, das premissas de uma tese, temos:

**Originalidade:**

Busca-se mixar dois métodos de predição de taxa de falha conhecidos o HDBK-217 e o Guia FIDES para o levantamento da taxa de falha do componente eletrônico COTS introduzindo um fator de complexidade nos componentes analisados (CI, Semicondutores e Conversor DC/DC) como forma de enrijecimento do cálculo por se tratar de um componente comercial, além de sugerir uma sequência mínima de testes e inspeções (*screening*) com base na ECSS-Q-ST-60-13C tendo o custo como parâmetro limitante para os casos específicos de componentes, e de posse desses dados tomar uma decisão sobre a escolha do COTS;

**Utilidade:**

A necessidade atual do uso de COTS nos projetos de artefatos espaciais considerando prazo, custo e qualidade alcançados pelos fabricantes de componentes COTS (indústria automotiva – GPS e telecomunicações – Smartphones), vê-se um momento oportuno para seu uso. Portanto, esse trabalho corrobora no sentido de ajudar os projetistas na escolha do COTS adequado para seu projeto;

**Generalidade:**

O uso de COTS em projetos espaciais tem tido uma procura grande dado as suas características já mencionadas o que abre a possibilidade do seu uso

dentro de certas restrições técnicas uma ampla utilidade logo esse trabalho dá uma pequena contribuição nesse sentido

### **10.1 Sugestões e recomendações para trabalhos futuros**

Para continuidade desse trabalho e complementação para seu aperfeiçoamento, segue algumas sugestões:

- Ao longo da tese falou-se sobre a criação de uma biblioteca de COTS como *spin off* desse trabalho. Um estudo orientado com o objetivo de coletar os dados de campo por meio de telemetrias para averiguação da funcionalidade de determinados componentes COTS seria um modo de aprendizagem e de resguardar as informações para uso em outras missões com características semelhantes. Além é claro das missões bem sucedidas cujos componentes podem ser usados em novos projetos;
- Na tese faz-se uma abordagem alternativa sobre a possibilidade do uso do COTS desde que testado e ensaiado com o limitante em custo. Um estudo de caso como mostrado na Figura 5.1b que pudesse fazer uma análise meticulosa sobre os riscos na utilização de um determinado componente COTS e as possíveis mitigações de contorno e os custos inerentes a esse processo (testes/inspeções) teria um grande impacto do ponto de vista gerencial. Pois, está-se falando de custo e prazo;
- A metodologia apresentada pode atender também as tecnologias FPGA, ASIC e Memórias COTS desde que o programa inicialmente desenvolvido seja acrescido dessas tarefas e tendo como base o guia FIDES, conseqüentemente expandindo a biblioteca.

Ainda temos como subproduto dessa pesquisa, o seguinte:

- 1) Um artigo publicado na revista International Journal of Advanced Engineering Research and Science (IJAERS) (ISSN: 2349-6495-(P) / 2456-1908(O)): Vol- 7, Issue-7, Pag.:129-141, intitulado: “*Methodology for the Selection of COTS Components in Small Satellite Projects and Short-Term Missions*”;

- 2) Participação nos Workshop de Engenharia e Tecnologia Espacial (WETE 2 e 10) no INPE;
- 3) Desenvolvimento de um programa em C++ para cálculo da taxa de falha de componentes eletrônicos (Semicondutor, Circuito Integrado e Conversor DC/DC)

Como ilustração do assunto abordado e consequências, segue uma fala curiosa sobre modelos matemáticos e dados de entrada:

Um modelo matemático é tão bom quanto as premissas em que ele se baseia, e os resultados são tão bons quanto a qualidade dos dados necessários para fazer projeções.

“*Garbage in, garbage out*” (entra lixo sai lixo, em inglês): se as informações que alimentam as equações são frágeis ou sem fundamentação, os resultados não são confiáveis.

“Todos os modelos estão errados, mas alguns são úteis” a frase é atribuída ao estatístico britânico George E. P. Box (1919-2013). Ele escreveu em 1976 no periódico *Journal of the American Statistical Association* que cientistas não devem perseguir um modelo totalmente correto e infinitamente elaborado, “ao contrário do que é desejável quando se estuda fenômenos naturais”. Modelos precisam ser relativamente simples dar direções, descrições, interpretações, mas não mais simples do que o necessário. Eles são como mapas. Se o mapa for tão complexo quanto a realidade, não tem muita utilidade”, diz Alexandre Patriota, professor do Instituto de Matemática e Estatística da USP [41].

## REFERÊNCIAS BIBLIOGRÁFICAS

- [1] NASA ENGINEERING SAFETY CENTER - NESC. **COTS components in spacecraft systems: understanding the risk**. NASA/TM-2014-218261. 2p. Disponível em: <<https://www.nasa.gov/sites/default/files/atoms/files/cots.pdf>>. Acesso em: 15 jan. 2017.
- [2] NATIONAL AERONAUTICS AND SPACE ADMINISTRATION - NASA. **Guidelines for verification strategies to minimize RISK based on mission environment: application and lifetime (MEAL)**. Washington: NASA, 2018. 2p.
- [3] BOTELHO, A.S.R.C.; XAVIER JUNIOR, A.L. A unified satellite taxonomy proposal based on mass and size. **Advances in Aerospace Science and Technology**, v.4, p.57-73, 2019.
- [4] NATIONAL AERONAUTICS AND SPACE ADMINISTRATION - NASA. **EEE-INST-002: instruction for EEE parts selection, screening, qualification and derating**. Washington: NASA, 2003. 353p.
- [5] SAMPSON, M.J. Past, present and future trends for NASA's EEE PARTS program. In: ANNUAL MICROELECTRONICS WORKSHOP, 16., 2003, Tsukuba. **Proceedings...** Tsukuba: JAXA, 2003. Disponível em: <<https://repository.exst.jaxa.jp/dspace/handle/a-is/544739>>. Acesso em: 23 jun. 2018.
- [6] EUROPEAN COOPERATION FOR SPACE STANDARDIZATION - ECSS. **ECSS-Q-ST-60-13C: Space product assurance/commercial Electrical, Electronic and Electromechanical (EEE) components**. Noordwijk, The Netherlands, 2013. 100 p.
- [7] ALTER TECHNOLOGY. Assessment of Commercial Components Enabling Disruptive Space Electronics (ACCEDE). In: WORKSHOP ON COTS COMPONENTS FOR SPACE APPLICATION, 1., 2019, Sevilla. **Proceedings...** Sevilla: Alter, 2019. Disponível em: <<https://www.altertechnology->

[group.com/en/news/news-details/article/a-workshop-on-cots-components-for-space-applications/](http://group.com/en/news/news-details/article/a-workshop-on-cots-components-for-space-applications/)>. Acesso em: 12 nov. 2019.

[8] EUROPEAN PASSIVE COMPONENTS INSTITUTE. **EEE cots components in space: cost**. Dan Friedlander, 2017. Disponível em: <<http://passive-components.eu/eee-cots-components-in-space-cost/>>. Acesso em: 10 fev. 2019.

[9] UNDERWOOD, C. et al. Using CubeSat/micro-satellite technology to demonstrate the autonomous assembly of a reconfigurable space telescope (AAReST). **Acta Astronautica Journal**, v.114, p. 112-122, 2015. Disponível em: <[www.elsevier.com/locate/actaastro](http://www.elsevier.com/locate/actaastro)>. Acesso em: 5 maio 2017.

[10] CORSO, D.D. et al. Design of a university nano-satellite: the PiCPoT case. **IEEE Transactions on Aerospace and Electronic Systems**, v.47, n.3, p. 1985-200, 2011. Disponível em: <<https://scholar.google.nl/citations?user=QgMVlloAAAAJ&hl=en>>. Acesso em: 10 maio 2017.

[11] MONTENBRUCK, O. et al. Precision spacecraft navigation using a low-cost GPS receiver. **GPS Solutions**, v.16, n.4, p. 519-529, 2012. Disponível em: <<https://link.springer.com/article/10.1007%2Fs10291-011-0252-6>>. Acesso em 15 maio 2017.

[12] INSTITUTO TECNOLÓGICO DA AERONÁUTICA - ITA. **Nanossatélite ITASAT-1**. São José dos Campos: ITA, 2015. Disponível em: <<http://www.itasat.ita.br>>. Acesso em: 10 dez. 2015.

[13] INSTITUTO NACIONAL DE PESQUISAS ESPACIAIS - INPE. **Picossatélite Tancredo -1**. São José dos Campos: INPE, 2018. Disponível em: <<https://pt.wikipedia.org/wiki/Tancredo-1>>. Acesso em: 18 jul. 2019.

[14] INSTITUTO NACIONAL DE PESQUISAS ESPACIAIS - INPE. **NANOSATC-BR1**. São José dos Campos: INPE, 2015. Disponível em: <<http://www.inpe.br/crs/nanosat/>>. Acesso em: 12 out. 2015.

- [15] INSTITUTO TECNOLÓGICO DA AERONÁUTICA - ITA. **Nanossatélite AESP-14**. São José do Campos: ITA, 2015. Disponível em: <<http://www.ita.br/noticias14>>. Acesso em: 15 set. 2019.
- [16] EUROPEAN COOPERATION FOR SPACE STANDARDIZATION - ECSS. **ECSS-Q-ST-30-11C Rev1: derating EEE components**. Noordwijk, The Netherland, 2011. 71p.
- [17] EUROPEAN SPACE AGENCY - ESA. **Spennis: 4.6.10**. Belgium: ESA, 2021. Disponível em: <[www.spennis.oma.be](http://www.spennis.oma.be)>. Acesso em: 27 maio. 2018.
- [18] AIRBUS FRANCE. **Reliability methodology for electronic systems**. [S.l.]: FIDES Group, 2010. 465p.
- [19] DODSON, B.; SCHWAB, H. **Accelerated testing: a practitioner's guide to accelerated and reliability testing**. Warrendale, PA: SAE International, 2006. 256p. ISBN 13 978-0-7680-0690-2.
- [20] SANTOS, M. V. **O que é AHP ou Processo Hierárquico Analítico e seus usos?** Campinas, SP: FM2S, 2017. Disponível em: <<https://www.fm2s.com.br/o-que-e-ahp/>>. Acesso em: 12 jun. 2017.
- [21] GOEPEL, K. D. **AHP analytic hierarchy process (EVM multiple inputs)**. version 11.10.2017. Singapore: BPMSG, 2017. Disponível em: <<http://bpmsg.com>>. Acesso em: 10 jan. 2017.
- [22] DEPARTMENT OF DEFENSE - DOD. **MIL STD 883E: test method standard microcircuit**. Washington, 1996. 641p.
- [23] MILITAR HANDBOOK - MHDBK. **HDBK-217F: reliability handbook**. Washington, 1991. 205p.
- [24] KECECIOGLU, D. **Reliability engineering handbook**. 2.ed. Hoboken, Nova Jersey: PTR Prentice Hall, 1991. 547p. ISBN 0-13-772302-4.

- [25] EUROPEAN COOPERATION FOR SPACE STANDARDIZATION - ECSS. **ECSS-Q-ST-30-02C**: space product assurance, failure modes effects and (criticality) analysis (FMEA/FMECA). Noordwijk, The Netherlands, 2009. 74p.
- [26] BRITO, A. F. **Lista de componentes do Ubatubasat (Tancredo 1)**. [mensagem pessoal]. Mensagem recebida por <[antonio.brito@inpe.br](mailto:antonio.brito@inpe.br)> em 08 abr. 2019.
- [27] SINHA, K.; WECK, O. Structural complexity metric for engineered complex systems and its application. In: INTERNATIONAL DEPENDENCY AND STRUCTURE MODELLING CONFERENCE DSM'12, 14., 2012, Kyoto, Japan. **Proceedings...** Kyoto, Japan: MIT, 2012. Disponível em: <[file:///C:/Users/Andre/AppData/Local/Temp/DSM\\_2012\\_complexity\\_Abstract\\_v1.pdf](file:///C:/Users/Andre/AppData/Local/Temp/DSM_2012_complexity_Abstract_v1.pdf)>. Acesso em: 24 fev. 2021.
- [28] TOSHIBA CORPORATION. **Datasheet shottky barrier retifier CRS06**. Japão, 2018. Disponível em: <<https://toshiba.semicon-storage.com/ap-en/top.html>>. Acesso em: 10 jan. 2020.
- [29] MOTOROLA. **Datasheet Up/Down BCD Decade 74LS190**. Phoenix Arizona, 2015. Disponível em: <<https://datasheetspdf.com>>. Acesso em: 21 jan. 2020.
- [30] MAXIM INTEGRATED PRODUCTS. **Datasheet A / D converter functional diagram MAX1112 5V, low-power, multi-channel, serial 8-bits ADCs**. Sunnyvale CA, 2011. Disponível em: <[www.maxim-ic.com](http://www.maxim-ic.com)>. Acesso em: 22 abr. 2020.
- [31] DANTAS, L.P.; ARROIO, R. **Eletrônica digital: técnicas digitais e dispositivos lógicos programáveis**. São Paulo: Senai, 2014. 560 p. ISBN 978-85-65418-91-1.
- [32] TEXAS INSTRUMENTS INCORPORATED. **Datasheet. DC / DC converter LM2731, 0.6/1.6-MHz boost converters with 22-V internal FET**

**switch in SOT-23**. Dallas Texas, 2015. Disponível em: <[www.ti.com](http://www.ti.com)>. Acesso em: 17 jun. 2020.

[33] LINEAR TECHNOLOGY CORPORATION. **Datasheet LT 3021 LVDO regulator**. Milpitas CA, 2005. Disponível em: <[www.linear.com](http://www.linear.com)>. Acesso em: 05 maio 2020.

[34] LINDO SYSTEMS INCORPORATION. **Optimization modeling software for linear nonlinear, and integer programming: LINGO 17.0**. Chicago, USA: Lindo, 2017. Disponível em: <<http://www.lindo.com>>. Acesso em: 23 fev. 2018.

[35] BERNSTEIN, J. B.; BENSOUSSAN, A.; BENDER, E. Reliability prediction with MTOL. **Microelectronics Reliability**, v.68, p. 91-97, 2017. Disponível em: <<http://www.elsevier.com/locate/microrel>>. Acesso em: 14 abr. 2020.

[36] TEXAS INSTRUMENTS. **Beyond quality: assuring the reliability of plastic encapsulated integrated circuit**. Dallas: Texas Instruments, 2016. Disponível em: <[https://www.ti.com/lit/an/sboa144/sboa144.pdf?ts=1613558966549&ref\\_url=https%253A%252F%252Fwww.google.com%252F](https://www.ti.com/lit/an/sboa144/sboa144.pdf?ts=1613558966549&ref_url=https%253A%252F%252Fwww.google.com%252F)>. Acesso em: 18 fev. 2021.

[37] TEXAS INSTRUMENTS INCORPORATED. **Datasheet LM2731 – DC/DC converter: pin configuration and functions**. Dallas, Texas, 2018. Disponível em: <<https://www.ti.com>>. Acesso em: 25 mar. 2021.

[38] NAG, S.; LEMOINE, J.; WEEK. O. Cost and risk analysis of small satellite constellations for earth observation. In: IEEE AEROSPACE CONFERENCE, 1., 2014, Big Sky, Montana. **Proceedings...** USA: IEEE, 2014. Disponível em: <<https://www.semanticscholar.org/paper/Cost-and-risk-analysis-of-small-satellite-for-earthNagLemoigne/3c5bf39de4b6efa757b5dbb529fd213aa5ba2dac>>. Acesso em: 12 jan. 2021.

[39] OLIVEIRA, C.J.; RIBEIRO, A.E. **Programa taxa de falha COTS guia FIDES: v1**. (Linguagem: C++). São José dos Campos: INPE, 2020.



- [40] SEOKJIN, K.; BEHNAM, N. Dynamics of quality costs in continuous improvement. **International Journal of Quality and Reliability Management**, v.25, n. 8, p.842-859, 2008. Disponível em: <<http://www.emeralinsight.com>>. Acesso em: 22 mar. 2021.
- [41] ALVES, G. Modelos penam para prever a trajetória do vírus. **Folha de São Paulo**. São Paulo, 20 jun. 2020. Disponível em: <<https://www1.folha.uol.com.br/ciencia/2020/06/modelos-penam-para-prever-trajetoria-do-virus.shtml>>. Acesso em: 20 jun. 2020.
- [42] BAMBACE, L.A.W. **Preparação e aplicação de solithane**. São José dos Campos: INPE, 1988. 20 p. (MP-34006).
- [43] FRANCISCO, V. N. M. **Pré-formação de componentes**. São José dos Campos: INPE, 1989. 22 p. (MP-31001).
- [44] BAMBACE, L. A. W. **Preparação e aplicação de RTV 566**. São José dos Campos: INPE, 1988. 19p. (MP-31005).
- [45] C&R TECHNOLOGIES. **Heat transfer and fluid modeling software SINDA/FLUINT**: v6.2. Boulder, CO: C&R Technologies, 2018. Disponível em: <<https://www.crtech.com/products/sindafluint>>. Acesso em: 12 mar. 2019.
- [46] RADIATION SOFTWARE. **Omere**: 5.4.2. l'Occitane, France: TRAD, 2021. Disponível em: <[www.trad.fr/en/space/omere-software/](http://www.trad.fr/en/space/omere-software/)>. Acesso em: 15 maio 2018.
- [47] BRITO, A.C. **Soldagem de componentes em PCI's**. São José dos Campos: INPE, 1989. 31 p. (MP-31002).
- [48] CARDOSO, W.S.; MANDL, J.R. **Requisitos para uma área de fabricação de equipamentos eletrônicos protegida contra descarga eletrostática**. São Jose dos Campos: INPE, 1986. 8p. (A-GQL-OO17).

## APÊNDICE A - CÁLCULO DA TAXA DE FALHA CIRCUITO INTEGRADO (LINEAR TECHNOLOGY - LT 3021 – REGULADOR DE VOLTAGEM)

(Pipmmoderado, Piprocess>0.25, Piapplicationmoderado)

Os algoritmos em linguagem C++ foram feitos para atender a necessidade do cálculo da taxa de falha dos componentes (Circuito Integrado, Semicondutores e Conversor DC/DC) COTS conforme escopo deste trabalho de modo customizado com base no guia FIDES.

(Script)

### Segue simulação com componente COTS de uma das placas de potência do Tubesat Tancredo – Estudo de Caso

Figura A.1 – Algoritmo da Taxa de Falha COTS Guia FIDES (Linguagem: C++)

```
//=====
// Função PInduced
//=====
float PInduced(int PrimFase, int iFase, float Paplic, FILE *arq) {

    int Recomend;
    int i;
    int RecomGrad;
    int RecomWeight;
    int Mark;

    float pInduc;
    float pPlacem[6] = { 1.0, 1.6, 1.3, 2.0, 1.6, 2.5};
    int result;          // Status de erro arquivo

    do{
        printf("\n\nPInduced , Fatores induzidos que contribuem para o
Overstresses sao:\nmecanico, eletrico e termico) ele e calculado para cada fase\n");

        if(PrimFase == 1){
            printf ("\n\n cSENSITIVITY, o coeficiente de sensibilidade
referente a tecnologia\ndo item considerado em relacao ao Overstress \nValor = %3.5f
\n",cSensitivity);
            while (!Confirma()){
                printf ("\ncSensitivity:");
                scanf("%f", &cSensitivity);
            }
            printf ("\n\n pRUGGEDISING, a influencia da politica de
desenvolvimento do produto/componente,\nlevando em conta o Overstress \nValor =
%3.5f\n",pRuggedising);
            while (!Confirma()){
                printf ("\n\nEntre Ruggedising Recommendations :");
            }
        }
    }
}
```

Fonte: [39].

## ANÁLISE DE FALHA - CIRCUITO INTEGRADO

Inicialmente faz-se uma análise do fabricante com relação à qualidade do componente. Os dados de entrada são relativos a um questionário específico do Guia FIDES. Os valores atribuídos ao questionário são subjetivos e baseados na experiência do projetista com a experiência dos componentes usados no projetos e informações do fabricante/representante:

### **Pipm Manufacturing factor**

Valores de Entrada:

Epsilon Factor = 3.0 (Experiência do comprador com o fornecedor)

Risk RComponent Factor = 1.0 (Screening do componente, ciclagem térmica)

QComponent Factor = 2.0 (metodologia de qualificação do componente)

QManufact = 1.0 (Qualificação do fabricante)

Part\_Grad = 0.33333 (valor standard)

Valor de Saída:

**Pipm: Manufacturing factor** = 1.26702 (fator de qualidade de fabricação do componente)

---

Nesta etapa, faz-se uma análise dos processos envolvidos do fabricante no desenvolvimento do produto/componente com relação à qualidade dos processos.

Os dados de entrada são relativos a um questionário específico do Guia FIDES. Os valores atribuídos ao questionário são subjetivos e baseados na experiência do projetista e na falta de informações o guia FIDES sugere valores default alertando sobre a redução na precisão dos resultados encontrados.

### **Piprocess**

Entrada:

Grau do Processo= 0.25 (valor standard considerando a utilização da norma ISO 9000 como referência)

Sigma2: Faixa de variação do processo= 2.07900 (dato proveniente do guia FIDES)

Saída:

$$\mathbf{Piprocess} = 4.75525$$

---

As fases que serão mostradas são relativas ao ciclo de vida do componente, ou seja, períodos de tempo em que o componente (sub montagem) é submetido aos estresses ambientais do tipo: Eletro térmico, Mecânico, Umidade relativa e Contaminação Química.

Neste exemplo, partimos da fase 2 pois a fase 1 de armazenamento dos componentes após análise realizada, ou seja, componente no estado desligado (Off), verifica-se que não sofre nenhum estresse ambiental significativo.

## **FASE 2: MONTAGEM DE COMPONENTES NA PLACAS (PCA)**

=====

Nesta fase o componente já montado na placa de circuito impresso passará por testes elétricos para verificação do funcionamento do circuito. Portanto, será submetido a estresse eletro térmico durante os testes e térmico durante a soldagem dos seus terminais na PCI.

Fase de Operação

Pi\_THERMAL: Parâmetro térmico calculado durante a fase em operação ou não quando o componente está sendo submetido a stress térmico

Valor de Entrada:

Tj\_component: temperatura Junção do Componente (°C) = 91.25

P-dissipated: Potência dissipada (W) = 0.41

Resistência Térmica: Rja ( $\Omega$ ) = 125.0

Saída:

Parâmetro térmico = 226.51207

---

LoTH - Taxa básica térmica de falha (associada como o tipo de Chip)

Valor de Entrada:

Analogue and Hybrid circuit (MOS, bipolar, BiCMOS)

Valor de Saída:

LoTH - Taxa básica de falha (associada como o Chip) = 0.12300

---

Ciclagem térmica do componente (Solder Joints):

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 60.0

Tempo associado com cada fase durante um ano em horas = 480.0

Faixa de temperatura associado com cada fase, durante o ano (°C) = 10.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 50.0

Duração do ciclo em horas = 8.0

Valor de Saída:

Ciclagem térmica do componente (Solder Joints) = 0.46225

---

Ciclagem térmica do componente (case)

Entrada:

Número de ciclos associado com cada fase, durante o ano = 60.0

Tempo associado com cada fase durante um ano em horas = 480.0

Faixa de temperatura associado com cada fase, durante o ano (°C) = 10.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 50.0

Saída

Ciclagem térmica do componente (case) = 0.10782

---

Exposição a umidade do componente durante a fase

Fase de Operação (quando o componente está submetido a umidade)

Valor de Entrada:

Umidade Relativa = 0.0

Temperatura média da sub montagem = 40.0

Valor de Saída:

Exposição a umidade do componente durante a fase = 0.0

---

$PI_{\text{Mechanical}}$ : Aceleração que o componente estará submetido

Valor de Entrada:

Grms (Nível de aceleração que o componente será submetido durante cada fase) = 0.5 (valor de referência guia FIDES)

Valor de Saída:

$PI_{\text{Mechanical}} = 1.00$

---

Lo\_Stress - Taxa básica de falha para diferentes estresses físicos

CI - (SO, SOP, SOL, SOIC, SOW) Pinos: [8:14]; [16:18]; [20:28]; [32]

Valor de Entrada:

Número de Pinos = 8

Valor de Saída:

LoRH = 0.00304 a = 8.23000 b = 1.17000

LoTCy\_case = 0.00015 a = 13.36000 b = 2.18000

LoTCy\_SolderJoint = 0.00073 a = 11.75000 b = 2.18000

LoMechanic = 0.00001 a = 16.36000 b = 2.18000

---

$PI_{\text{APPLICATION}}$ : Parâmetro avaliado por uma nota dada a uma serie de critérios,

os quais tem impacto direto no *Overstress* do componente

NIVEL	PESO
0	20
0	10
1	4
1	15
0	4
0	8
1	3
0	2

Valor de Saída:

$$P_{i_{\text{Application}}} = 1.73333$$

---

Fatores induzidos que contribuem para o *Overstress* são: mecânico, elétrico e térmico ele é calculado para cada fase.

Valor de Entrada:

$C_{\text{Sensitivity}}$ : coeficiente de sensibilidade referente a tecnologia

do item considerado em relação ao *Overstress*= 6.3

$P_{i_{\text{Ruggedising}}}$ : influência da política de desenvolvimento do produto/componente, levando em conta o *Overstress* = 1.7

Valor de Saída:



Pinduced = 3.53657

---

**LBPhysical: 5.39910**

---

**FASE 3: TESTES AMBIENTAIS (EMI / EMC)**

=====

Fase de Operação

Pi\_THERMAL: Parâmetro térmico calculado durante a fase em operação ou não, quando o componente está sendo submetido a stress térmico

Valor de Entrada:

Tj\_component - temperatura Junção do Componente (°C) = 91.25

P-dissipated - Potencia dissipada (W) = 0.41

Resistencia Térmica - Rja (Ω) = 125.0

Valor de Saída:

Parâmetro térmico = 226.51207

---

LoTH - Taxa básica de falha (associada como o tipo de Chip)

Valor de Entrada:

Analogue Hybrid circuit(MOS, bipolar, BiCMOS)

Valor de Saída:

LoTH - Taxa básica de falha (associada como o Chip) = 0.12300

---

Ciclagem térmica do componente (Solder Joints)

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 2.0

Tempo associado com cada fase durante um ano em horas = 8.0

Faixa de temperatura associado com cada fase, durante o ano (°C) = 6.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 43.0

Duração do ciclo em horas = 4.0

Valor de Saída:

Ciclagem térmica do componente (Solder Joints) = 0.31789

---

Ciclagem térmica do componente (case)

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 2.0

Tempo associado com cada fase durante um ano em horas = 8.0

Faixa de temperatura associado com cada fase, durante o ano (°C) = 6.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 43.0

Valor de Saída:

Ciclagem térmica do componente (case) = 0.02536

---

Exposição a umidade do componente durante a fase

Fase de Operação (quando o componente está submetido a umidade)

Valor de Entrada:

Umidade Relativa = 0.00

Temperatura média da sub montagem (°C) = 40.0

Valor de Saída:

Umidade do componente sujeito durante a fase = 0.00

---

$P_{iMechanical}$ : Aceleração que o componente estará submetido

Valor de Entrada:

Grms (Nível de aceleração que o componente será submetido durante cada fase) = 0.5 - valor de referência do guia FIDES

Valor de Saída:

$P_{iMechanical} = 1.00$

---

Lo\_Stress - Taxa básica de falha para diferentes estresses físicos

CI - (SO, SOP, SOL, SOIC, SOW) Pinos: [8:14]; [16:18]; [20:28]; [32]

Valor de Entrada:

Número de Pinos = 8

Valor de Saída:

LoRH = 0.00304 a = 8.23000 b = 1.17000

LoTCy\_case = 0.00015 a = 13.36000 b = 2.18000

LoTCy\_SolderJoint = 0.00073 a = 11.75000 b = 2.18000

LoMechanic = 0.00001 a = 16.36000 b = 2.18000

---

PI<sub>APPLICATION</sub>: Parâmetro avaliado por uma nota dada a uma serie de critérios, os quais tem impacto direto no Overstress do componente

NIVEL	PESO
0	20
0	10
1	4
1	15
0	4
0	8
1	3
0	2

Valor de Saída:

PI<sub>APPLICATION</sub> = 1.73333

---

Fatores induzidos que contribuem para o Overstress são:  
mecânico, elétrico e térmico eles são calculado para cada fase.

Valor de Entrada:

$C_{Sensitivity}$ : coeficiente de sensibilidade referente a tecnologia  
do item considerado em relação ao Overstress= 6.3

$Pi_{Ruggedising}$ : influência da política de desenvolvimento do produto/componente,  
levando em conta o Overstress = 1.7 (valor default conforme guia FIDES na  
impossibilidade de se obter dados do fabricante)

Valor de Saída:

$P_{induced} = 3.53657$

---

**LBPhysical: 0.08998**

---

#### **FASE 4: TESTES AMBIENTAIS (Vibração)**

=====

Fase de Operação

$Pi_{TERMAL}$  Parâmetro térmico calculado durante a fase em operação ou não,  
quando o componente está sendo submetido a stress térmico

Valor de Entrada:

Tj\_component - temperatura Junção do Componente (°C) = 91.25

P-dissipated - Potencia dissipada (W) = 0.41

Resistencia Térmica - Rja ( $\Omega$ ) = 125.0

Valor de Saída:

Parâmetro térmico = 226.51207

---

LoTH - Taxa básica de falha (associada como o Chip)

Valor de Entrada:

Analogue Hybrid circuit (MOS, bipolar, BiCMOS)

Saída:

LoTH - Taxa básica de falha (associada como o Chip) = 0.12300

---

Ciclagem térmica do componente (Solder Joints):

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 2.0

Tempo associado com cada fase durante um ano em horas = 0.25

Faixa de temperatura associado com cada fase, durante o ano (°C) = 6.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 43.0

Duração do ciclo em horas = 0.125

Valor de Saída:

Ciclagem térmica do componente (Solder Joints) = 4.07444

---

Ciclagem térmica do componente (case)

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 2.0

Tempo associado com cada fase durante um ano em horas = 0.25

Faixa de temperatura associado com cada fase, durante o ano (°C) = 6.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 43.0

Valor de Saída:

Ciclagem térmica do componente (case) = 0.81168

---

Umidade sujeita do componente durante a fase

Fase de Operação (quando o componente está submetido a umidade)

Valor de Entrada:

Umidade Relativa = 0.0

Temperatura média da sub montagem = 40.0

Valor de Saída:

Umidade do componente sujeito durante a fase = 0.0

---

PIMechanical: Aceleração que o componente estará submetido

Valor de Entrada:

Grms (Nível de aceleração que o componente será submetido durante cada fase) = 14.1

Valor de Saída:

$Pi_{\text{Mechanical}} = 149.75237$

---

Lo\_Stress - Taxa básica de falha para diferentes estresses físicos

CI - (SO, SOP, SOL, SOIC, SOW) Pinos: [8:14]; [16:18]; [20:28]; [32]

Valor de Entrada:

Número de Pinos = 8

Valor de Saída:

LoRH = 0.00304 a = 8.23000 b = 1.17000

LoTCy\_case = 0.00015 a = 13.36000 b = 2.18000

LoTCy\_SolderJoint = 0.00073 a = 11.75000 b = 2.18000

LoMechanic = 0.00001 a = 16.36000 b = 2.18000

---

$Pi_{\text{Application}}$ : Parâmetro avaliado por uma nota dada a uma serie de critérios, os quais tem impacto direto no Overstress do componente



NIVEL	PESO
0	20
0	10
1	4
1	15
0	4
0	8
1	3
0	2

Valor de Saída:

$$P_{i\text{Application}} = 1.73333$$

---

Fatores induzidos que contribuem para o Overstress são:  
mecânico, elétrico e térmico eles são calculado para cada fase.

Valor de Entrada:

$C_{\text{Sensitivity}}$ : coeficiente de sensibilidade referente a tecnologia  
do item considerado em relação ao Overstress= 6.3

$P_{i\text{Ruggedising}}$ : influência da política de desenvolvimento do produto/componente,  
levando em conta o Overstress = 1.7

Valor de Saída:

$$P_{i\text{induced}} = 3.53657$$

---

**LBPhysical: 0.00281**

---

**FASE 5: TESTES AMBIENTAIS (Termo Vácuo)**

=====

Fase de Operação

Pi\_THERMAL: Parâmetro térmico calculado durante a fase em operação ou não, quando o componente está sendo submetido a stress térmico

Entrada:

Tj\_component - temperatura Junção do Componente (°C) = 91.25

P-dissipated - Potencia dissipada (W) = 0.41

Resistencia Térmica - Rja (Ω)= 125.0

Valor de Saída:

Parâmetro térmico = 226.51207

---

LoTH - Taxa básica de falha (associada como o Chip)

Valor de Entrada:

Analogue Hybrid circuit(MOS, bipolar, BiCMOS)

Valor de Saída:

LoTH - Taxa básica de falha (associada como o tipo de Chip) = 0.12300

---

Ciclagem térmica do componente (Solder Joints)

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 5.0

Tempo associado com cada fase durante um ano em horas = 40.0

Faixa de temperatura associado com cada fase, durante o ano = 100.0

Temperatura máxima de cada ciclo associado com cada fase, durante o ano = 60.0

Duração do ciclo em horas = 8.0

Valor de Saída:

Ciclagem térmica do componente (Solder Joints) = 41.87642

---

Ciclagem térmica do componente (case)

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 5.0

Tempo associado com cada fase durante um ano em horas = 40.0

Faixa de temperatura associado com cada fase, durante o ano (°C) = 100.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 60.0

Valor de Saída:

Ciclagem térmica do componente (case) = 1229.72070

---

Umidade sujeita do componente durante a fase

Fase de Operação (quando o componente está submetido à umidade)

Valor de Entrada:

Umidade Relativa = 0.0

Temperatura média da sub montagem = 40.0

Valor de Saída:

Umidade do componente sujeito durante a fase = 0.0

---

PI<sub>Mechanical</sub>: Aceleração que o componente estará submetido

Valor de Entrada:

Grms (Nível de aceleração que o componente será submetido durante cada fase) = 0.5 Valor de Referência guia FIDES

Valor de Saída:

$$P_{i\text{Mechanical}} = 1.00000$$

---

Lo\_Stress - Taxa básica de falha para diferentes estresses físicos

CI - (SO, SOP, SOL, SOIC, SOW) Pinos: [8:14]; [16:18]; [20:28]; [32]

Valor de Entrada:

Número de Pinos = 8

Valor de Saída:

$$\text{LoRH} = 0.00304 \quad a = 8.23000 \quad b = 1.17000$$

$$\text{LoTCy\_case} = 0.00015 \quad a = 13.36000 \quad b = 2.18000$$

$$\text{LoTCy\_SolderJoint} = 0.00073 \quad a = 11.75000 \quad b = 2.18000$$

$$\text{LoMechanic} = 0.00001 \quad a = 16.36000 \quad b = 2.18000$$

---

$P_{i\text{Application}}$ : Parâmetro avaliado por uma nota dada a uma serie de critérios, os quais tem impacto direto no Overstress do componente (Ref. guia FIDES)

<b>NIVEL</b>	<b>PESO</b>
0	20
0	10
1	4
1	15
0	4
0	8
1	3
0	2

Valor de Saída:

$$P_{i\text{Application}} = 1.73333$$

---

Fatores induzidos que contribuem para o Overstress são: mecânico, elétrico e térmico ele é calculado para cada fase.

Valor de Entrada:

$C_{\text{Sensitivity}}$ : coeficiente de sensibilidade referente a tecnologia do item considerado em relação ao Overstress= 6.3

$P_{i\text{Ruggedising}}$ : influência da política de desenvolvimento do produto/componente, levando em conta o Overstress = 1.7

Valor de Saída:

$$P_{i\text{induced}} = 3.53657$$

---

**LBPhysical: 0.45333**

---

## **FASE 6: TESTES AMBIENTAIS (Testes Funcionais)**

=====

Fase de Operação

$P_{i\text{THERMAL}}$ : Parâmetro térmico calculado durante a fase em operação ou não, quando o componente está sendo submetido a stress térmico. Características térmicas do componente analisado

Valor de Entrada:

Tj\_component - temperatura Junção do Componente ((°C) = 91.25000

P-dissipated - Potencia dissipada (W) = 0.41000

Resistencia Térmica - Rja ( $\Omega$ )= 125.00000

Valor de Saída:

Parâmetro térmico = 226.51207

---

LoTH - Taxa básica de falha (associada como o Chip)

Valor de Entrada:

Analogue Hybrid circuit (MOS, bipolar, BiCMOS)

Valor de Saída:

LoTH - Taxa básica de falha (associada como o Chip) = 0.12300

---

Ciclagem térmica do componente (Solder Joints)

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 2.0

Tempo associado com cada fase durante um ano em horas = 24.0

Faixa de temperatura associado com cada fase, durante o ano (° C) = 6.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (° C) = 43.0

Duração do ciclo em horas = 12.0

Valor de Saída:

Ciclagem térmica do componente (Solder Joints) = 0.10596

---

Ciclagem térmica do componente (case)

Entrada:

Número de ciclos associado com cada fase, durante o ano = 2.00000.

Tempo associado com cada fase durante um ano em horas = 24.00000

Faixa de temperatura associado com cada fase, durante o ano (° C) = 6.00000.

Temperatura máxima de cada ciclo em cada fase, durante o ano (° C) = 43.000

Valor de Saída:

Ciclagem térmica do componente (case) = 0.00845

---

Umidade sujeita do componente durante a fase

Fase de Operação (quando o componente está submetido a umidade)

Valor de Entrada:

Umidade Relativa = 0.0



Temperatura média da sub montagem = 40.0

Valor de Saída:

Umidade do componente sujeito durante a fase = 0.00

---

$P_{i\text{Mechanical}}$ : Aceleração que o componente estará submetido

Valor de Entrada:

Grms (Nível de aceleração que o componente será submetido durante cada fase) = 0.50 – Valor de Ref. guia FIDES

Valor de Saída:

$P_{i\text{Mechanical}} = 1.0$

---

Lo\_Stress - Taxa básica de falha para diferentes estresses físicos

CI - (SO, SOP, SOL, SOIC, SOW) Pinos: [8:14]; [16:18]; [20:28]; [32]

Valor de Entrada:

Número de Pinos = 8

Valor de Saída:

LoRH = 0.00304 a = 8.23000 b = 1.17000

LoTCy\_case = 0.00015 a = 13.36000 b = 2.18000

LoTCy\_SolderJoint = 0.00073 a = 11.75000 b = 2.18000

LoMechanic = 0.00001 a = 16.36000 b = 2.18000

---

Pi<sub>Application</sub>: Parâmetro avaliado por uma nota dada a uma serie de critérios, os quais tem impacto direto no Overstress do componente

NIVEL	PESO
0	20
0	10
1	4
1	15
0	4
0	8
1	3
0	2

Valor de Saída:

Pi<sub>Application</sub> = 1.73333

---

Fatores induzidos que contribuem para o Overstress são: mecânico, elétrico e térmico ele é calculado para cada fase.

Valor de Entrada:

C<sub>Sensitivity</sub>: coeficiente de sensibilidade referente a tecnologia

do item considerado em relação ao Overstress= 6.30000

Pi<sub>Ruggedising</sub>: influência da política de desenvolvimento do produto/componente,  
levando em conta o Overstress = 1.70000

Valor de Saída:

Pi<sub>induced</sub> = 3.53657

---

**LBPhysical: 0.26995**

---

**FASE 7: VOO (Vibração)**

=====

Fase de Operação

Pi\_THERMAL: Parâmetro térmico calculado durante a fase em operação ou não, quando o componente está sendo submetido a stress térmico

Valor de Entrada:

Tj\_component - temperatura Junção do Componente (°C) = 91.25

P-dissipated - Potencia dissipada (W) = 0.41

Resistencia Térmica - Rja (Ω)= 125.0

Valor de Saída:

Parâmetro térmico = 226.51207

---

LoTH - Taxa básica de falha (associada como o Chip)

Valor de Entrada:

Analogue Hybrid circuit (MOS, bipolar, BiCMOS)

Valor de Saída:

LoTH - Taxa básica de falha (associada como o Chip) = 0.12300

---

Ciclagem térmica do componente (Solder Joints)

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 1.0

Tempo associado com cada fase durante um ano em horas = 0.25

Faixa de temperatura associado com cada fase, durante o ano (°C) = 20.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 43.0

Duração do ciclo em horas = 0.25

Valor de Saída:

Ciclagem térmica do componente (Solder Joints) = 25.22596

---

Ciclagem térmica do componente (case)

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 1.0

Tempo associado com cada fase durante um ano em horas = 0.25

Faixa de temperatura associado com cada fase, durante o ano (°C) = 20.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 43.0

Valor de Saída:

Ciclagem térmica do componente (case) = 50.10342

---

Umidade sujeita do componente durante a fase

Fase de Operação (quando o componente está submetido à umidade)

Valor de Entrada:

Umidade Relativa = 0.0

Temperatura média da sub montagem = 40.0

Valor de Saída:

Umidade do componente sujeito durante a fase = 0.0

---

$P_{i\text{Mechanical}}$ : Aceleração que o componente estará submetido

Valor de Entrada:

Grms (Nível de aceleração que o componente será submetido durante cada fase) = 14.1

Valor de Saída:

$P_{i\text{Mechanical}} = 149.75237$

---

Lo\_Stress - Taxa básica de falha para diferentes estresses físicos

CI - (SO, SOP, SOL, SOIC, SOW) Pinos: [8:14]; [16:18]; [20:28]; [32]

Valor de Entrada:

Número de Pinos = 8

Valor de Saída:

LoRH = 0.00304 a = 8.23000 b = 1.17000

LoTCy\_case = 0.00015 a = 13.36000 b = 2.18000

LoTCy\_SolderJoint = 0.00073 a = 11.75000 b = 2.18000

LoMechanic = 0.00001 a = 16.36000 b = 2.18000

---

$P_{iApplication}$ : Parâmetro avaliado por uma nota dada a uma serie de critérios, os quais tem impacto direto no Overstress do componente

NIVEL	PESO
0	20
0	10
1	4
1	15
0	4
0	8
1	3
0	2

Valor de Saída:

$$P_{iApplication} = 1.73333$$

---

Fatores induzidos que contribuem para o Overstress são: mecânico, elétrico e térmico ele é calculado para cada fase.

Valor de Entrada:

$C_{Sensitivity}$ : coeficiente de sensibilidade referente a tecnologia do item considerado em relação ao Overstress = 6.30000

$P_{iRuggedising}$ : influência da política de desenvolvimento do produto/componente, levando em conta o Overstress = 1.70000

Valor de Saída:

Piinduced = 3.53657

---

**LBPhysical: 0.00281**

---

**FASE 8: VOO (Funcional)**

=====

Fase de Operação

Pi\_THERMAL: Parâmetro térmico calculado durante a fase em operação ou não, quando o componente está sendo submetido a stress térmico

Valor de Entrada:

Tj\_component - temperatura Junção do Componente (°C) = 101.25

P-dissipated - Potencia dissipada (W) = 0.41

Resistencia Térmica - Rja (Ω) = 125.0

Valor de Saída:

Parâmetro térmico = 411.02682

---

LoTH - Taxa básica de falha (associada como o Chip)

Valor de Entrada:

Analogue Hybrid circuit (MOS, bipolar,BiCMOS)



Valor de Saída:

LoTH - Taxa básica de falha (associada como o Chip) = 0.12300

---

Ciclagem térmica do componente (Solder Joints)

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 11680.0

Tempo associado com cada fase durante um ano em horas = 17520.0

Faixa de temperatura associado com cada fase, durante o ano (°C) = 100.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 60.0

Duração do ciclo em horas = 1.4

Valor de Saída:

Ciclagem térmica do componente (Solder Joints) = 198.54117

---

Ciclagem térmica do componente (case)

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 11680.0

Tempo associado com cada fase durante um ano em horas = 17520.0

Faixa de temperatura associado com cada fase, durante o ano ( $^{\circ}\text{C}$ ) = 100.0

Temperatura máxima de cada ciclo em cada fase ( $^{\circ}\text{C}$ ) = 60.0

Valor de Saída:

Ciclagem térmica do componente (case) = 6558.51074

---

Umidade sujeita do componente durante a fase

Fase de Operação (quando o componente está submetido a umidade)

Valor de Entrada:

Umidade Relativa = 0.00

Temperatura média da sub montagem = 50.00

Valor de Saída:

Umidade do componente sujeito durante a fase = 0.0

---

$PI_{\text{Mechanical}}$ : Aceleração que o componente estará submetido

Valor de Entrada:

Grms (Nível de aceleração que o componente será submetido durante cada fase) = 1.0

Valor de Saída:

$$P_{i\text{Mechanical}} = 2.82843$$

---

Lo\_Stress - Taxa básica de falha para diferentes estresses físicos

CI - (SO, SOP, SOL, SOIC, SOW) Pinos: [8:14]; [16:18]; [20:28]; [32]

Valor de Entrada:

Número de Pinos = 8

Valor de Saída:

$$\text{LoRH} = 0.00304 \quad a = 8.23000 \quad b = 1.17000$$

$$\text{LoTCy\_case} = 0.00015 \quad a = 13.36000 \quad b = 2.18000$$

$$\text{LoTCy\_SolderJoint} = 0.00073 \quad a = 11.75000 \quad b = 2.18000$$

$$\text{LoMechanic} = 0.00001 \quad a = 16.36000 \quad b = 2.18000$$

---

$P_{i\text{Application}}$ : Parâmetro avaliado por uma nota dada a uma serie de critérios, os quais tem impacto direto no Overstress do componente

<b>NIVEL</b>	<b>PESO</b>
0	20
0	10
1	4
1	15
0	4
0	8
1	3
0	2

Valor de Saída:

$$P_{i_{\text{Application}}} = 1.73333$$

---

Fatores induzidos que contribuem para o Overstress são: mecânico, elétrico e térmico ele é calculado para cada fase.

Valor de Entrada:

$C_{\text{Sensitivity}}$ : coeficiente de sensibilidade referente a tecnologia do item considerado em relação ao Overstress= 6.3

$P_{i_{\text{Ruggedising}}}$ : influência da política de desenvolvimento do produto/componente, levando em conta o Overstress= 1.7

Valor de Saída:

$$P_{i_{\text{induced}}} = 3.53657$$

---

**LBPhysical: 365.42984**

---

Resultado da taxa de falha FIDES

Taxa de falha do componente considerado (C.I, Regulador de Voltagem)

Taxa de Falha = LBPhysical\*  $P_{i_{\text{PM}}}$ \*  $P_{i_{\text{process}}}$

Valore de Entrada:

$$l_{b_{\text{Phys}}} = 365.42984$$

$$P_{i_{\text{PM}}} = 1.26702$$

$$P_{i_{\text{Process}}} = 4.75525$$

**SAIDA FINAL:**

**Taxa de falha do componente = 2239.17627**

---

## RESULTADO FINAL DA ANÁLISE

Cálculo da Complexidade do Componente baseado no Diagrama Esquemático

Valor de Entrada:

n\_bi (Nível 1) Número Componentes: 6

n\_bc (Nível 2) Número Componentes mais complexo:109.0

Confiabilidade Alocada para Unidade de interesse R(S) 0.95

Tempo de Missão/horas (Ts): 8760.0

SAIDA FINAL:

Kb

Valor= 1.13475

CfatorComplexidade

Valor= 0.5769

LCots

Valor= 38654

Confiabilidade Tempo MAIOR/IGUAL que R(S) - **Utilizar o COTS**

ConfTempo= 1.00000

R(S)= 0.95000

===== FINAL DA EXECUCAO =====

## APENDICE B - CÁLCULO DA TAXA DE FALHA (LM2731 - Conversor DC/DC)

(Pipmmoderado, Piprocess>0.25, Piapplication moderado)

Os algoritmos em linguagem C++ foram feitos para atender a necessidade do cálculo da taxa de falha dos componentes (Circuito Integrado, Semicondutores e **Conversor DC/DC**) COTS conforme escopo deste trabalho de modo customizado com base no guia FIDES

## ANALISE DA TAXA DE FALHA

$P_{iPM}$ : Manufacturing factor

Valor de Entrada:

Epsilon Factor = 3.0 (experiência do comprador com o representante/fabricante)

Risk RComponent Factor = 1.0 (screening, ciclagem térmica)

QComponent Factor = 2.0 (metodologia de qualificação do componente)

QManufact = 1.0 (Qualificação do fabricante)

Part\_Grad = 0.25 (standard)

Valor de Saída:

$P_{iPM}$ : Manufacturing factor = 1.42262.

---

$P_{iProcess}$

Valor de Entrada:

ProcGrade: Grau do Processo = 0.3

(Fator experiência Sigma2): valor que fixa a faixa de variação do processo

Sigma2 = 2.07900.

Valor de Saída:

$P_{iProcess}$  = 4.28577.

---

## ANALISE DE FALHAS DURANTE AS FASES DE VIDA DO COMPONENTE

Fases são períodos de tempo em que o componente (sub montagem) e submetido aos estresses ambientais do tipo: eletrotérmico, mecânico, umidade relativa e químico

### FASE 2: MONTAGEM DE COMPONENTE NA PLACA PCI ou PCA

=====

Entrada:

Tempo associado a fase (Horas) = 480.0

Temperatura média da sub montagem (°C) = 40.0

---

Fase de Operação:

Parâmetro térmico a ser calculado durante a fase considerada quando em operação ou não, ou seja, quando o componente está sendo submetido a stress térmico

Valor de Entrada:

Delta T: Encapsulamento moldado

(Temperaturas consideradas para componente encapsulado - °C) = 15.0

Temperatura média da sub montagem (°C) = 40.0

Valor de Saída:

Parâmetro térmico



Valor = 6.42027

---

Taxa básica de falha (ciclagem térmica na sub montagem)

Valor de Entrada:

Output Power (W)

(Potência de saída do componente considerado) = 0.5 W

Valor de Saída:

Taxa básica de falha (ciclagem térmica na sub montagem)

VALOR CALCULADO= 12.89470.

---

Taxa básica de falha associado com o stress mecânico e umidade relativa na sub montagem

Valor de Entrada:

Volume = 0.0

Pds = 0.0

Valor de Saída:

Taxa básica de falha

Valor = -0.79000.

---

## Ciclagem térmica do componente

Entrada:

Número de ciclos associado com cada fase, durante o ano = 60.0

Tempo associado com cada fase durante um ano em horas = 480.0

Faixa de temperatura associado com cada fase, durante o ano (°C) = 10.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 50.0

Duração do ciclo em horas = 8.0

Valor de Saída:

## Ciclagem térmica do componente

Valor = 1.30744.

---

Umidade do componente sujeito durante a fase

Fase de Operação (quando o componente está submetido a umidade)

Valor de Entrada:

Umidade Relativa = 0.00

Temperatura média da sub montagem (°C) = 40.0

Valor de Saída:

Umidade do componente sujeito durante a fase

VALOR CALCULADO= 0.00

---

$P_{i\text{Mechanical}}$ : Aceleração que o componente estará submetido

Valor de Entrada:

Grms (Nível de aceleração que o componente será submetido durante cada fase) = 0.5 (Valor de Ref. guia FIDES)

Valor de Saída:

$P_{i\text{Mechanical}}$

Valor= 1.0

---

$P_{i\text{Application}}$ : Parâmetro avaliado por uma nota dada a uma serie de critérios, os quais tem impacto direto no Overstress do componente

<b>NIVEL</b>	<b>PESO</b>
0	20
0	10
1	4
1	15
0	4
0	8
1	3
0	2

Saída:

$Pi_{Application} = 1.73333$ .

---

Fatores induzidos que contribuem para o Overstress são: mecânico, elétrico e térmico ele é calculado para cada fase.

Entrada:

$cSensitivity$ : coeficiente de sensibilidade referente a tecnologia

do item considerado em relação ao Overstress = 5.9

$Pi_{Ruggedising}$ : influência da política de desenvolvimento do produto/componente,

levando em conta o Overstress = 1.7 (valoe defaut conforme guia FIDES na impossibilidade de se obter dados do fabricante)

Valor de Saída:

$Pi_{induced} = 4.08151$

---

**LBPhysical: 8.60289**

---

FASE 3: TESTES AMBIENTAIS (EMI / EMC)

=====

Entrada:

Tempo associado a fase (Horas) = 8.0

Temperatura média da sub montagem = 40.0

---

## Fase de Operação

Parâmetro térmico a ser calculado durante a fase considerada quando em operação ou não ou seja: quando o componente está sendo submetido a stress térmico

Valor de Entrada:

Delta T: Encapsulamento moldado

(Temperaturas consideradas para componente encapsulado °C) = 15.0

Temperatura média da sub montagem (°C) = 40.0

Valor Saída:

Parâmetro térmico

Valor = 6.42027

---

Taxa básica de falha (ciclagem térmica na sub montagem)

Valor de Entrada:

Output Power

(Potência de saída do componente considerado) = 0.5 W

Valor de Saída:

Taxa básica de falha (ciclagem térmica na sub montagem)

VALOR CALCULADO= 12.89470.

---

Taxa básica de falha associado com o stress mecânico e umidade relativa sub montagem

Valor de Entrada:

Volume = 0.00

Pds = 0.00

Valor de Saída:

Taxa básica de falha = -0.79000.

---

Ciclagem térmica do componente

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 1.0

Tempo associado com cada fase durante um ano em horas = 8.0

Faixa de temperatura associado com cada fase, durante o ano (°C) = 6.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 43.0

Duração do ciclo em horas = 4.0

Valor de Saída:

Ciclagem térmica do componente

Valor = 0.96731.

---

Umidade do componente sujeito durante a fase

Fase de Operação (quando o componente está submetido a umidade)

Valor de Entrada:

Umidade Relativa = 0.0 (componente ligado – estado On)

Temperatura média da sub montagem (°C) = 40.0

Valor de Saída:

Umidade do componente sujeito durante a fase = 0.0

---

$PI_{\text{Mechanical}}$ : Aceleração que o componente estará submetido

Valor de Entrada:

Grms (Nível de aceleração que o componente será submetido durante cada fase) = 0.5 (Valor de Ref. guia FIDES)

Valor de Saída:

$P_{i\text{Mechanical}} = 1.0$

---

$P_{i\text{Application}}$ : Parâmetro avaliado por uma nota dada a uma serie de critérios, os quais tem impacto direto no Overstress do componente

NIVEL	PESO
0	20
0	10
1	4
1	15
0	4
0	8
1	3
0	2

Valor de Saída:

$P_{i\text{Application}} = 1.73333$ .

---

Fatores induzidos que contribuem para o Overstress são: mecânico, elétrico e térmico ele é calculado para cada fase.

Valor de Entrada:

$C_{\text{Sensitivity}}$ : coeficiente de sensibilidade referente a tecnologia do item considerado em relação ao Overstress = 5.9

$P_{i\text{Ruggedising}}$ : influência da política de desenvolvimento do produto/componente,



levando em conta o Overstress = 1.7 (valor default, conforme guia FIDES na impossibilidade de se obter dados do fabricante)

Valor de Saída:

Piinduced = 4.08151

---

**LBPhysical: 0.13483**

---

FASE 4: TESTES AMBIENTAIS (Vibração)

=====

Valor de Entrada:

Tempo associado a fase (Horas) = 0.25

Temperatura média da sub montagem (°C) = 40.0

---

Fase de Operação

Parâmetro térmico a ser calculado durante a fase considerada quando em operação ou não ou seja: quando o componente está sendo submetido a stress térmico

Valor de Entrada:

Delta T:Encapsulamento moldado

(Temperaturas consideradas para componente encapsulado °C ) = 15.0

Temperatura média da sub montagem (°C) = 40.0

Valor de Saída:

Parâmetro térmico

Valor = 6.42027

---

Taxa básica de falha (ciclagem térmica na sub montagem)

Valor de Entrada:

Output Power

(Potência de saída do componente considerado) = 0.5 W

Valor de Saída:

Taxa básica de falha (ciclagem térmica na sub montagem)

VALOR CALCULADO= 12.89470.

---

Taxa básica de falha associado com o stress mecânico e umidade relativa (sub montagem)

Valor de Entrada:

Volume = 0.00

Pds = 0.00

Valor de Saída:

Taxa básica de falha

Valor = -0.79000.

---

Ciclagem térmica do componente

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 2.0.

Tempo associado com cada fase durante um ano em horas = 0.25

Faixa de temperatura associado com cada fase, durante o ano (°C) = 6.0.

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 43.0.

Duração do ciclo em horas = 0.125

Valor de Saída:

Ciclagem térmica do componente

Valor = 24.79627.

---

Umidade do componente sujeito durante a fase

Fase de Operação (quando o componente está submetido à umidade)

Valor de Entrada:

Umidade Relativa = 0.0

Temperatura média da sub montagem (°C) = 40.0

Valor de Saída:

Umidade do componente sujeito durante a fase

VALOR CALCULADO= 0.00

---

$Pi_{\text{Mechanical}}$ : Aceleração que o componente estará submetido

Valor de Entrada:

Grms: (Nível de aceleração que o componente será submetido durante a fase)  
= 14.1

Valor de Saída:

$Pi_{\text{Mechanical}} = 149.75237$ .

---

$Pi_{\text{Application}}$ : Parâmetro avaliado por uma nota dada a uma serie de critérios,  
os quais tem impacto direto no Overstress do componente

<b>NIVEL</b>	<b>PESO</b>
0	20
0	10
1	4
1	15
0	4
0	8
1	3
0	2

Valor de Saída:

PiApplication = 1.73333.

---

Fatores induzidos que contribuem para o Overstress são: mecânico, elétrico e térmico eles são calculados para cada fase.

Valor de Entrada:

CSensitivity: coeficiente de sensibilidade referente a tecnologia

do item considerado em relação ao Overstress = 5.9

PiRuggedising: influência da política de desenvolvimento do produto/componente, levando em conta o Overstress = 1.7 (valor *default*, conforme guia FIDES, quando da impossibilidade de obter os dados do fabricante)

Valor de Saída:

Piinduced = 4.08151

---

**LBPhysical: 0.02170**

---

FASE 5: TESTES AMBIENTAIS (Termo Vácuo)

=====

Valor de Entrada:

Tempo associado a fase (Horas) = 40.0

Temperatura média da sub montagem (°C) = 40.0

---

## Fase de Operação

Parâmetro térmico a ser calculado durante a fase considerada quando em operação ou não, ou seja: quando o componente está sendo submetido a stress térmico

Valor de Entrada:

Delta T: Encapsulamento moldado

(Temperaturas consideradas para componente encapsulado °C) = 15.0

Temperatura média da sub montagem (°C) = 40.0

Valor de Saída:

Parâmetro térmico

Valor = 6.42027

---

Taxa básica de falha (ciclagem térmica na sub montagem)

Valor de Entrada:

Output Power

(Potência de saída do componente considerado) = 0.5 W

Valor de Saída:

Taxa básica de falha (ciclagem térmica na sub montagem)

VALOR CALCULADO= 12.89470.

---

Taxa básica de falha associado com o stress mecânico e umidade relativa sub montagem

Valor de Entrada:

Volume = 0.0

Pds = 0.00

Valor de Saída:

Taxa básica de falha

Valor = -0.79000.

---

Ciclagem térmica do componente

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 5.0

Tempo associado com cada fase durante um ano em horas = 40.0

Faixa de temperatura associado com cada fase, durante o ano (°C) = 100.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 60.0

Duração do ciclo em horas = 8.0

Valor de Saída:

Ciclagem térmica do componente

Valor = 3.74554.

---

Umidade do componente sujeito durante a fase

Fase de Operação (quando o componente está submetido a umidade)

Valor de Entrada:

Umidade Relativa = 0.0

Temperatura média da sub montagem (°C) = 40.00000

Valor de Saída:

Umidade do componente sujeito durante a fase

VALOR CALCULADO= 0.00

---

$P_{I_{Mechanical}}$ : Aceleração que o componente estará submetido

Valor de Entrada:

Grms (Nível de aceleração que o componente será submetido durante cada fase) = 0.5 (Valor de Ref. guia FIDES)

Valor de Saída:



PiMechanical = 1.00000.

---

PApplication: Parâmetro avaliado por uma nota dada a uma serie de critérios, os quais tem impacto direto no Overstress do componente

<b>NIVEL</b>	<b>PESO</b>
0	20
0	10
1	4
1	15
0	4
0	8
1	3
0	2

Valor de Saída:

PiApplication = 1.73333.

---

Fatores induzidos que contribuem para o Overstress são: mecânico, elétrico e térmico ele é calculado para cada fase.

Valor de Entrada:

CSensitivity: coeficiente de sensibilidade referente a tecnologia do item considerado em relação ao Overstress = 5.9

PiRuggedising: influência da política de desenvolvimento do produto/componente, levando em conta o Overstress = 1.7

Valor de Saída:

Piinduced = 4.08151

---

**LBPhysical: 1.02334**

---

FASE 6: TESTES AMBIENTAIS (Testes Funcionais)

=====

Valor de Entrada:

Tempo associado a fase (Horas) = 24.0

Temperatura média da sub montagem (°C) = 40.0

---

Fase de Operação

Parâmetro térmico a ser calculado durante a fase considerada quando em operação ou não ou seja: quando o componente está sendo submetido a stress térmico

Valor de Entrada:

Delta T:Encapsulamento moldado

(Temperaturas consideradas para componente encapsulado °C) = 15.0

Temperatura média da sub montagem (°C) = 40.00000

Valor de Saída:

Parâmetro térmico

Valor = 6.42027

---

Taxa básica de falha (ciclagem térmica na sub montagem)

Valor de Entrada:

Output Power

(Potência de saída do componente considerado) = 0.5 W

Valor de Saída:

Taxa básica de falha (ciclagem térmica na sub montagem)

VALOR CALCULADO= 12.89470.

---

Taxa básica de falha associado com o stress mecânico e umidade relativa sub montagem

Valor de Entrada:

Volume

Valor = 0.0

Pds = 0.0

Valor de Saída:

Taxa básica de falha

Valor = -0.79000.

---

Ciclagem térmica do componente

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 2.0

Tempo associado com cada fase durante um ano em horas = 24.0

Faixa de temperatura associado com cada fase, durante o ano (°C) = 6.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 43.0

Duração do ciclo em horas = 12.0

Valor de Saída:

Ciclagem térmica do componente

Valor = 0.64487.

---

Umidade do componente sujeito durante a fase

Fase de Operação (quando o componente está submetido a umidade)

Valor de Entrada:

Umidade Relativa = 0.00

Temperatura média da sub montagem °C = 40.0

Valor de Saída:

Umidade do componente sujeito durante a fase

VALOR CALCULADO= 0.00

---

PIMechanical: Aceleração que o componente estara submetido

Valor de Entrada:

Grms (Nível de aceleração que o componente será submetido durante cada fase) = 0.50000 (Valor de Ref. guia FIDES)

Valor de Saída:

PIMechanical:= 1.00

---

PAPPLICATION: Parâmetro avaliado por uma nota dada a uma serie de critérios, os quais tem impacto direto no Overstress do componente

<b>NIVEL</b>	<b>PESO</b>
0	20
0	10
1	4
1	15
0	4
0	8
1	3
0	2

Valor de Saída:

PiApplication = 1.73333.

---

Fatores induzidos que contribuem para o Overstress são: mecânico, elétrico e térmico ele é calculado para cada fase.

Entrada:

CSensitivity: coeficiente de sensibilidade referente a tecnologia do item considerado em relação ao Overstress = 5.9

PiRuggedising: influência da política de desenvolvimento do produto/componente, levando em conta o Overstress = 1.7

Valor de Saída:

Piinduced = 4.08151

---

**LBPhysical: 0.38018**

---

FASE 7: VOO (Vibração)

=====

Valor de Entrada:

Tempo associado a fase (Horas) = 0.25

Temperatura média da sub montagem = 40.0

---

Fase de Operação

Parâmetro térmico a ser calculado durante a fase considerada quando em operação ou não ou seja: quando o componente está sendo submetido a stress térmico

Valor de Entrada:

Delta T: Encapsulamento moldado

(Temperaturas consideradas para componente encapsulado °C) = 15.0

Temperatura média da sub montagem (°C) = 40.0

Valor de Saída:

Parâmetro térmico

Valor = 6.42027

---

Taxa básica de falha (ciclagem térmica na sub montagem)

Valor de Entrada:

Output Power

(Potência de saída do componente considerado) = 0.5 W

Valor de Saída:

Taxa básica de falha (ciclagem térmica na sub montagem)

VALOR CALCULADO= 12.89470.

---

Taxa básica de falha associado com o stress mecânico e umidade relativa sub montagem

Valor de Entrada:

Volume = 0.00

Pds = 0.00

Valor de Saída:

Taxa básica de falha

Valor = -0.79000.

---

Ciclagem térmica do componente

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 1.0

Tempo associado com cada fase durante um ano em horas = 0.25

Faixa de temperatura associado com cada fase, durante o ano (°C) = 20.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 43.0

Duração do ciclo em horas = 0.25

Valor de Saída:



Ciclagem térmica do componente

Valor = 25.22596.

---

Umidade do componente sujeito durante a fase

Fase de Operação (quando o componente está submetido a umidade)

Valor de Entrada

Umidade Relativa = 0.00

Temperatura média da sub montagem = 40.00000

Valor de Saída:

Umidade do componente sujeito durante a fase

VALOR CALCULADO= 0.00

---

PIMechanical: Aceleração que o componente estará submetido

Valor de Entrada:

Grms (Nível de aceleração que o componente será submetido durante cada fase) = 14.1

Valor de Saída:

PiMechanical = 149.75237.

---

PAApplication: Parâmetro avaliado por uma nota dada a uma serie de critérios, os quais tem impacto direto no Overstress do componente

NIVEL	PESO
0	20
0	10
1	4
1	15
0	4
0	8
1	3
0	2

Valor de Saída:

PiApplication = 1.73333.

---

Fatores induzidos que contribuem para o Overstress são: mecânico, elétrico e térmico eles sao calculado para cada fase.

Valor de Entrada:

CSensitivity: coeficiente de sensibilidade referente a tecnologia do item considerado em relação ao Overstress = 5.90000

PiRuggedising: influência da política de desenvolvimento do produto/componente, levando em conta o Overstress = 1.70000

Valor de Saída:

Piinduced = 4.08151

---

**LBPhysical: 0.02204**

---

FASE: 8 VOO (Funcional)

=====

Entrada:

Tempo associado a fase (Horas) = 17520.0

Temperatura média da sub montagem = 50.0

---

Fase de Operação

Parâmetro térmico a ser calculado durante a fase considerada quando em operação ou não ou seja: quando o componente está sendo submetido a stress térmico

Valor de Entrada:

Delta T: Encapsulamento moldado

(Temperaturas consideradas para componente encapsulado °C) = 15.0

Temperatura média da sub montagem (°C) = 50.00000

Valor de Saída:

Parâmetro térmico

Valor = 10.17571

---

Taxa básica de falha (ciclagem térmica na sub montagem)

Valor de Entrada:

Output Power

(Potência de saída do componente considerado) = 0.5 W

Valor de Saída:

Taxa básica de falha (ciclagem térmica na sub montagem)

VALOR CALCULADO= 12.89470.

---

Taxa básica de falha associado com o stress mecânico e umidade relativa sub montagem

Valor de Entrada:

Volume

Valor = 0.00

Pds = 0.00

Valor de Saída:

Taxa básica de falha

Valor = -0.79000.

---

Ciclagem térmica do componente

Valor de Entrada:

Número de ciclos associado com cada fase, durante o ano = 11680.0

Tempo associado com cada fase durante um ano em horas = 17520.0

Faixa de temperatura associado com cada fase, durante o ano (°C) = 100.0

Temperatura máxima de cada ciclo em cada fase, durante o ano (°C) = 60.0

Duração do ciclo em horas = 1.4

Valor de Saída:

Ciclagem térmica do componente

Valor = 17.75806.

---

Umidade do componente sujeito durante a fase

Fase de Operação (quando o componente está submetido a umidade)

Valor de Entrada:

Umidade Relativa == 0.00

Temperatura média da sub montagem = 50.0

Valor de Saída:

Umidade do componente sujeito durante a fase

VALOR CALCULADO= 0.00

---

PIMechanical: Aceleração que o componente estará submetido

Valor de Entrada:

Grms (Nível de aceleração que o componente será submetido durante cada fase) = 1.0

Valor de Saída:

PIMechanical

Valor= 2.82843.

---

PApplication: Parâmetro avaliado por uma nota dada a uma serie de critérios, os quais tem impacto direto no Overstress do componente

<b>NIVEL</b>	<b>PESO</b>
0	20
0	10
1	4
1	15
0	4
0	8
1	3
0	2

Valor de Saída:

PiApplication = 1.73333.

---

Fatores induzidos que contribuem para o Overstress são: mecânico, elétrico e térmico ele é calculado para cada fase.

Valor de Entrada:

CSensitivity: coeficiente de sensibilidade referente a tecnologia do item considerado em relação ao Overstress = 5.9

PiRuggedising: influência da política de desenvolvimento do produto/componente, levando em conta o Overstress = 1.70000

Valor de Saída:

Piinduced = 4.08151

---

**LBPhysical: 1360.47498**

---

## **RESULTADO FINAL DA TAXA DE FALHA**

Taxa de falha do componente considerado (Circuito Integrado

Taxa de Falha = LBPhysical\* PIpm\* PIprocess

Valor de Entrada:

IbPhys, TAXA DE FALHA calculada de acordo com os mecanismos de falha físicos

Valor = 1360.47498.

PiPM: considera os fatores de qualidade do fabricante do componente e confiabilidade do componente além de um coeficiente da relação entre o representante e o fabricante

Valor = 1.42262.

PiProcess = 4.28577.

SAIDA FINAL:

**Taxa de falha do componente = 8356.94043.**

---

## RESULTADO FINAL DA ANALISE

Calculo da Complexidade do Componente baseado no Diagrama Esquemático

Entrada:

nbi (Nível 1): Numero Componentes:11.0

nbc (Nível 2): Numero Componentes mais complexo:229.0

Confiabilidade Alocada para Unidade de interesse R(S) = 0.95

Tempo de Missão/horas (Ts): 8760.0

SAIDA FINAL:

Kb

Valor= 1.01

CfatorComplexidade

Valor= 0.6187

LCots

Valor= 135057 ou **13.5 FIT (1/10<sup>6</sup>) h**



Confiabilidade Tempo MAIOR/IGUAL que R(S) – **Não utilizar o COTS**

ConfTempo= 1.00000

R(S)= 0.95000

---

===== FINAL DA EXECUCAO =====

## **ANEXO 1**

Este anexo tem como objetivo listar uma série de cuidados importantes a serem observados quando dos projetos de placa de circuitos eletrônicos relativos à HW e SW em função do ambiente inóspito a que serão submetidos e da experiência acumulada na fabricação de equipamentos eletrônicos de vários satélites no INPE bem sucedidos.

## ANEXO 1 RECOMENDAÇÕES PARA PROJETOS DE CIRCUITOS ELETRONICOS EM EQUIPAMENTOS DE SATELITES (HW & SW):

- a) **Umidade, Vibração e Dissipação Térmica:** aplicação de Solithane sobre a montagem dos componentes alívio de tensão nos terminais e melhoria da condução térmica dos componentes na placa segundo procedimentos: MP-34006[42] – Preparação e Aplicação de Solithane sobre os componentes (oxidação dos terminais e solda); MP31001[43] – Pré-formação de componentes (alívio de tensão nos terminais-vibração e dilatação térmica); MP34005[44] – Preparação e Aplicação RTV 566 (dissipação térmica dos componentes);
- b) **Radiação (TID):** blindagem com folha de tântalo sobre os componentes críticos e susceptíveis a radiação;
- c) **Hot spot (análise térmica):** uma análise térmica da PCA deve ser realizada usando um Software do tipo: *Thermal desktop/SINDA* Fluint[45] para o posicionamento adequado dos pontos mais quentes nos melhores caminhos de dissipação térmica (condução térmica), desse modo preservando a integridade do componente ao longo do tempo (sobrevida);
- d) **Melhor Posicionamento físico:** do módulo eletrônico (crítico) susceptível a radiação dentro do satélite (satélites pequenos) – Software: OMERE/TRAD [46];
- e) **Derating:** o estudo de redução de esforços conforme descrito anteriormente deve ser aplicado com o intuito de sobre vida dos componentes;
- f) **Montagem/Testes:** existem limitações, testes ao nível de componentes podem não verificar as interações entre os componentes no cartão (PCA) ou no subsistema/sistema e envolve mais manuseio dos componentes aumentando a probabilidade de danificar. Por isso, cuidados durante o processo de fabricação das PCA's com relação ao manuseio dos componentes e durante as montagens e testes de integração devem seguir à risca as

recomendações nos procedimentos de montagem concernentes a descarga elétrica (ESD) além dos cuidados inerentes nos processos de soldagem dos componentes MP31002[47] – Soldagem de componentes em PCI's: A-GQL-0017 – Requisitos para uma área de Fabricação de Equipamentos Eletrônicos protegida contra Descarga Eletrostática [48].

**Software (SW):**

- **Codificação:** EDAC, *Watchdog Timers*, TMR e HDL

**NOTA:** Alguns cuidados e soluções encontradas e testadas com sucesso para contornar os problemas típicos de hardware e software nos ambientes aos quais serão submetidos, desde o lançamento até a injeção em órbita.

Cuidados, tradicionalmente usados em modelos de voo com qualidade espacial que no caso do COTS também deverão ser observados para minimizar os riscos inerentes.